

IFW

PTO/SB/21 (02-04)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/711,254	
	Filing Date	2004/9/4	
	First Named Inventor	Vincent Lin	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0094USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

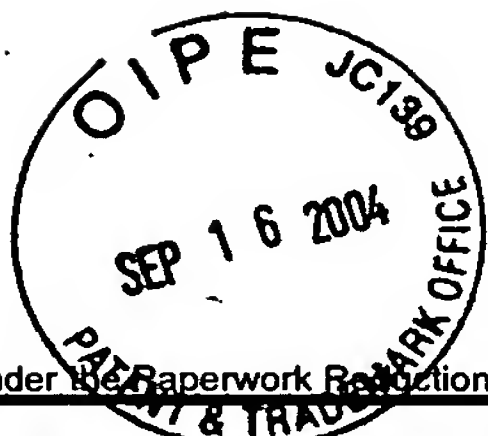
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	9/16/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/711,254
Filing Date	2004/9/4
First Named Inventor	Vincent Lin
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0094USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	- 20** =	X	
Multiple Dependent	- 3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	9/14/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

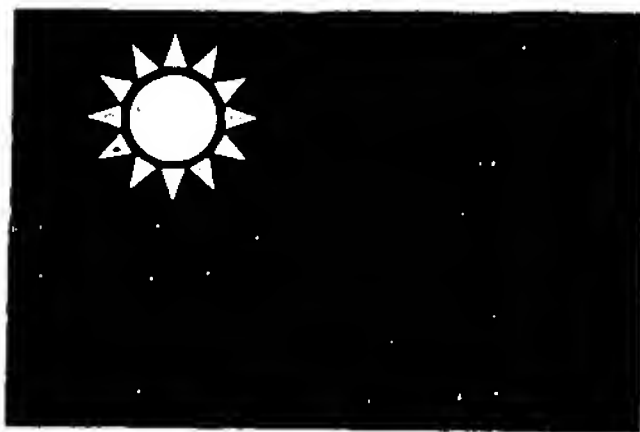


Approved for use through 08/31/2003. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

[illegible]

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 09 月 08 日
Application Date

申請案號：092124759
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 2 日
Issue Date

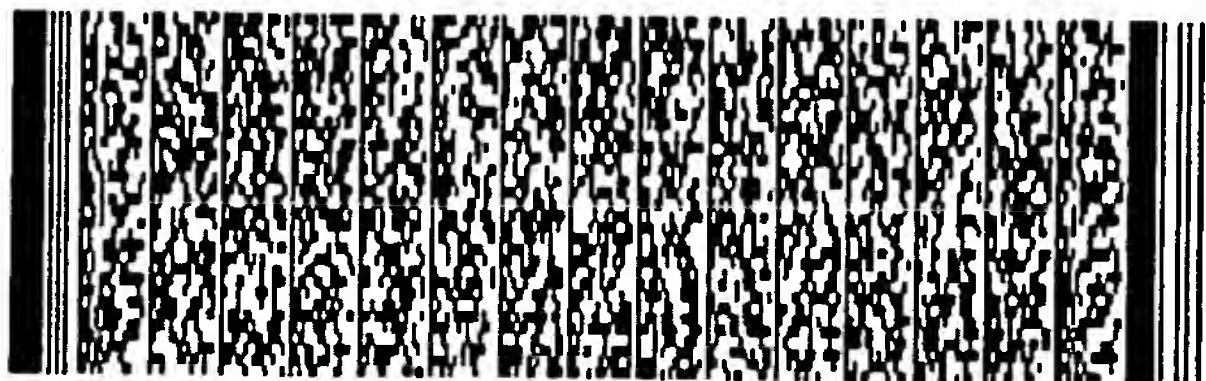
發文字號：09221079490
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	於資料路徑上輸出時脈的方法及相關電路
	英 文	Method And Related Apparatus For Outputting Clock Through Data Path
二、 發明人 (共2人)	姓 名 (中文)	1. 林葦杭
	姓 名 (英文)	1. Lin, Vincent
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 林坤隆
	姓 名 (英 文)	2. Lin, Kun-Long
	國 籍 (中 英 文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：於資料路徑上輸出時脈的方法及相關電路)

本發明提供一種產生時脈的方法及其相關的應用及電路。本發明係以至少一個正反器及一邏輯模組來根據一參考時脈提供一輸出時脈，其中各正反器設有一時脈端及一用來輸出訊號的輸出埠，各正反器可由各時脈端接收該參考時脈，以根據該參考時脈中訊號升緣或降緣的觸發而改變該正反器輸出埠輸出訊號的位準。該邏輯模組係用來對各正反器輸出埠輸出之訊號做邏輯運算，以產生與該參考時脈同步之輸出時脈。而該輸出時脈即可由該邏輯模組形成的資料路徑輸出，並可與其他訊號做邏輯運算。

五、(一)、本案代表圖為：第四圖

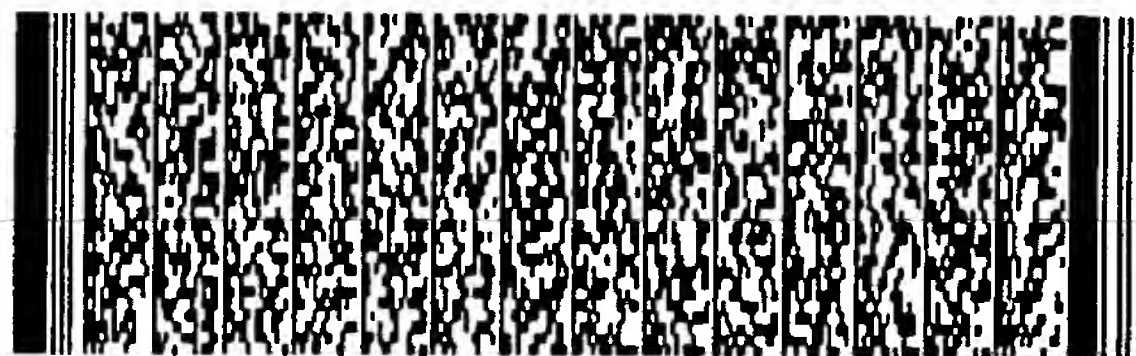
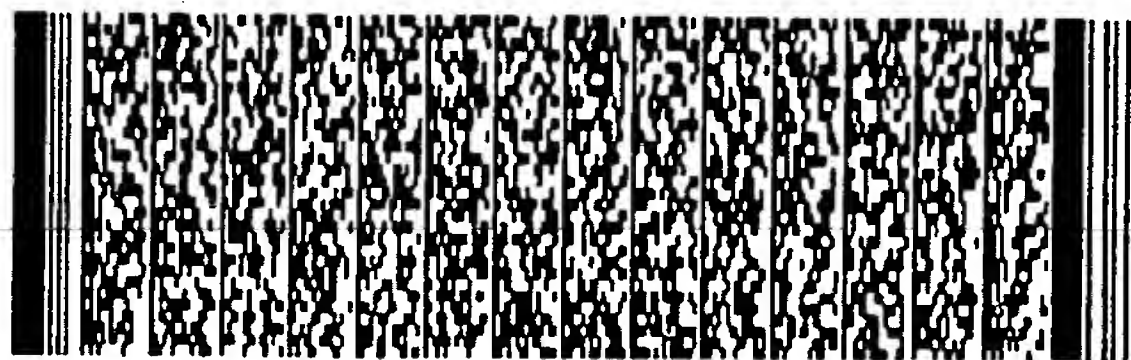
(二)、本案代表圖之元件代表符號簡單說明

50 訊號電路

52 邏輯陣列

六、英文發明摘要 (發明名稱：Method And Related Apparatus For Outputting Clock Through Data Path)

A method and related circuit for providing an output clock along a data path according to a reference clock. The invention provides the output clock by using a logic module and at least one flip-flop based on the reference clock. Each flip-flop receives the reference clock at the corresponding clock end and changes signal level outputted at the corresponding output port



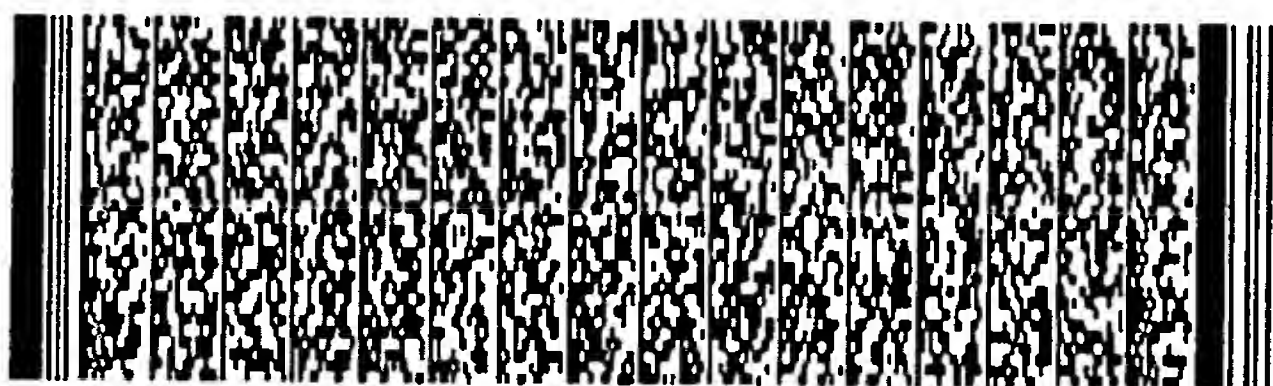
四、中文發明摘要 (發明名稱：於資料路徑上輸出時脈的方法及相關電路)

53A 輸入埠	53B 輸出埠
54、64A-64B 正反器	55 時脈端
56 時脈控制電路	58A 源時脈
58B 參考時脈	58C 輸出時脈
59A 或閘	59B 互斥或閘
62 輸出墊	66A-66C 訊號
70 時脈模組	S 輸入端
Q、Q' 輸出端	

代表化學式

六、英文發明摘要 (發明名稱：Method And Related Apparatus For Outputting Clock Through Data Path)

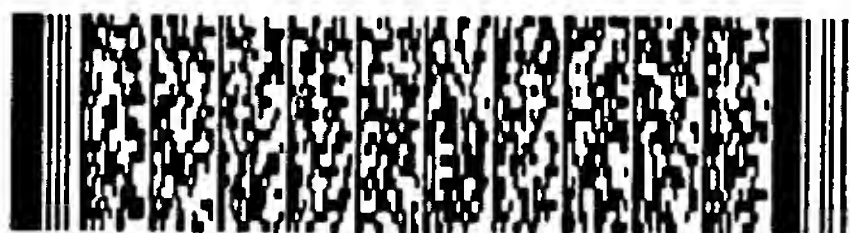
according to rising or falling edges within each period of the reference clock. The logic module performs logic operation among signals at each output port of the flip-flops to generate the output clock synchronized with the reference clock. Thereafter the output clock can be outputted through the data path provided by the logic module, and additional logical operations



四、中文發明摘要 (發明名稱：於資料路徑上輸出時脈的方法及相關電路)

六、英文發明摘要 (發明名稱：Method And Related Apparatus For Outputting Clock Through Data Path)

can be performed between the output clock and other signals.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

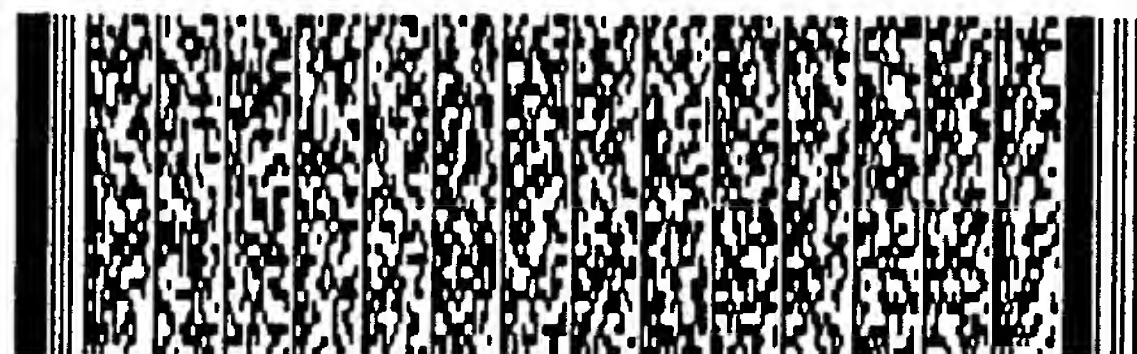
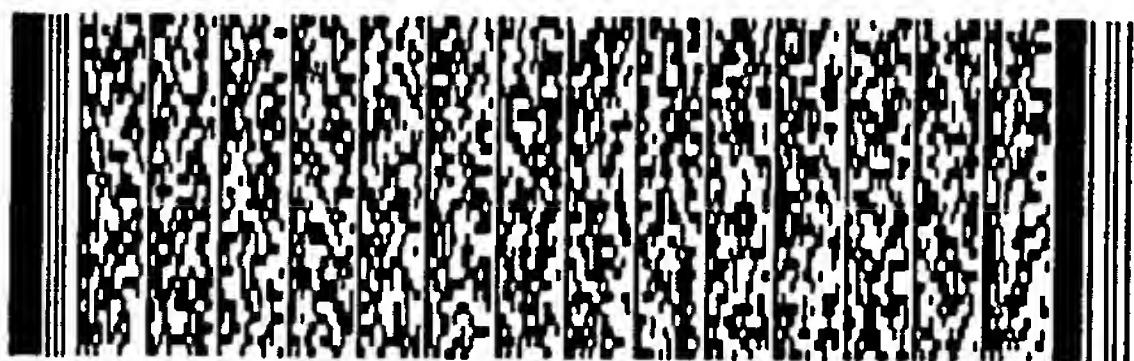
發明所屬之技術領域

本發明係提供一種時脈產生的方法及相關應用及電路，尤指一種以一參考時脈觸發正反器、以由各正反器之資料路徑產生出一同步輸出時脈的方法、相關應用及電路。

先前技術

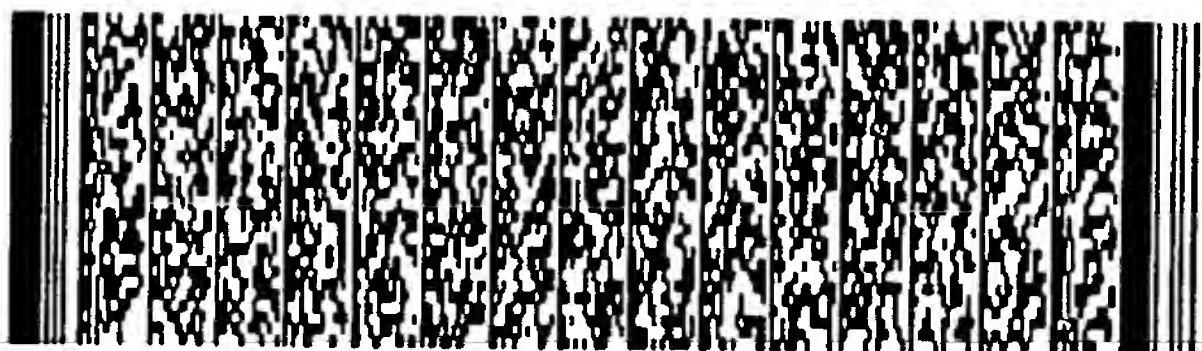
隨著資訊社會的發展，各式各樣的資訊、數據、影音資料都能以數位電子訊號的形式來快速、有效地處理、傳播、儲存，而用來處理數位電子訊號的各種數位訊號電路，也就成為現在資訊建設最基礎的部分之一。

如技術人士所知，一般的數位訊號電路皆以時脈觸發對序向數位訊號的處理、傳輸，並協調數位訊號電路中各元件、功能方塊運作的時序。隨著數位訊號電路的功能日趨複雜、多樣，在設計數位訊號電路時，需要考慮的因素也越來越多。請參考圖一A及一B。圖一A、一B分別為一典型數位訊號電路10在不同電路設計考量下之功能方塊示意圖。如圖一A所示，要完成一般數位電路的功能，訊號電路10中設有一邏輯陣列12、複數個正反器14A、14B及一時脈控制電路16。時脈控制電路16用來根據一源時脈18A產生一參考時脈18B；源時脈18A則可由訊號電路10本身的震盪器產生，或是由訊號電路10以外的



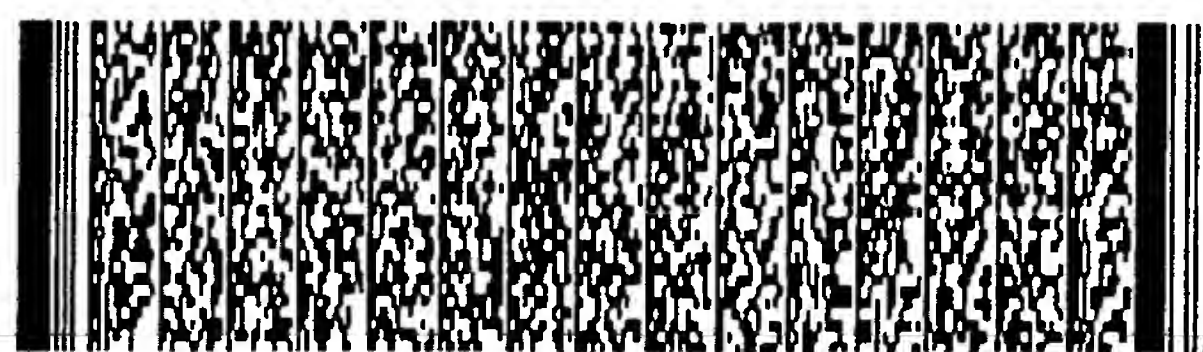
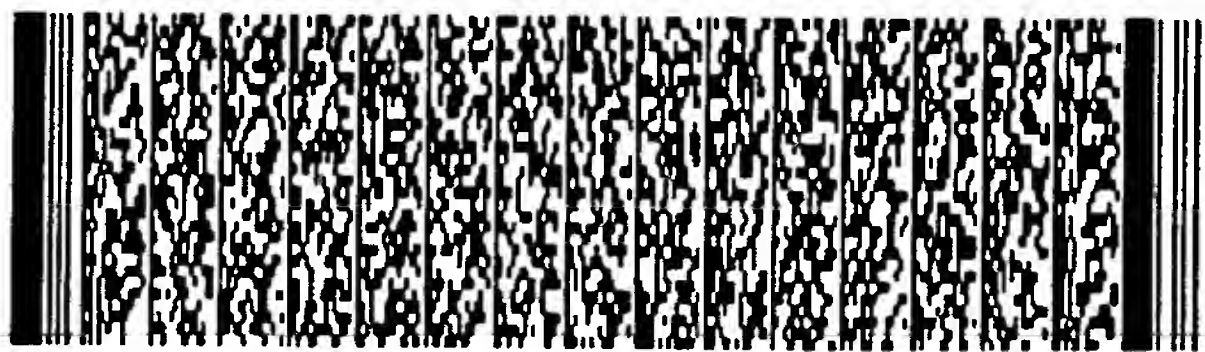
五、發明說明 (2)

支援電路接收。正反器 14A、14B皆具有一輸入埠 13A、一輸出埠 13B及一對應的時脈端 15；輸入埠 13A用來接收輸入訊號（像是由兩個輸入端分別接收兩個不同的位元輸入資料），時脈端 15用來接收一時脈的觸發，而各正反器的功能就是在其時脈端 15接收時脈之觸發下，依據其輸入埠 13A輸入之訊號來改變其輸出埠 13B輸出的訊號（像是分別改變兩個輸入端的兩個位元輸出資料）。其中正反器 14A是依據其時脈端 15接收時脈之升緣來觸發其輸出埠 13B輸出訊號的資料轉態 (transition)，正反器 14B則是依據其時脈端 15接收時脈之降緣來觸發其輸出埠 13B輸出訊號的資料轉態。邏輯陣列 12中則設有複數個不同種類的邏輯閘，像是在圖一 A中示意的及閘 19A以及或閘 19B。適當地將各正反器 14A、14B輸出入埠與邏輯陣列 12中的各個邏輯閘連接起來，就能組合、實現不同的數位電路功能，像是各種加法器、計數器及狀態機 (state machine) 等等。另外，訊號電路 10上也設有複數個輸出墊 22；舉例來說，訊號電路 10可以是封裝完全的晶片，而各輸出墊 22即為封裝外的接腳。這樣一來，邏輯陣列 12各邏輯閘或是各正反器輸出埠輸出的訊號，即可由訊號電路 10的複數個輸出墊 (output pad) 輸出於訊號電路 10之外。而各正反器輸出埠與邏輯陣列 12中各邏輯閘之輸出端，即可視為訊號電路 10輸出資料的資料路徑 (data path)；各輸出墊也就成為訊號電路 10向外資料路徑的傳輸介面。



五、發明說明 (3)

相對於資料路徑，由時脈控制電路 16 連接至各正反器時脈端的時脈傳輸途徑，則可稱為時脈路徑。如前所述，為了協調各正反器 14A、14B 運作的時序，各正反器 14A、14B 應統一由參考時脈 18B 來觸發。換句話說，純粹就邏輯功能的考量來說，各正反器 14A、14B 的時脈端 15 皆應直接連接於時脈控制電路 16，就如圖一 A 所示。在參考時脈 18B 的統一觸發下，各正反器輸出埠的訊號也就會同時發生資料轉態。既然在邏輯功能層面來說，資料路徑上的訊號和時脈路徑上的參考時脈是同步的，兩者也就可以進行邏輯運算，以便使資料路徑上的訊號能進一步根據參考時脈 18B 而變化。就像圖一 A 中的示意例，一訊號 20 可和參考時脈 18B 以一或閘 19B 作或運算；而或閘 19B 輸出於資料路徑上的訊號就會和參考時脈 18B 相關。不過，在考慮數位電路實際運作的非理想因素後，訊號電路 10 應如圖一 B 中所示，在將時脈 18B 傳輸至各正反器前，適當地加入緩衝器 24，使傳輸至各正反器 14A、14B 時脈端 15 的時脈訊號能真正地以同時發生的升緣或降緣來觸發各正反器。當數位電路在實際運作時，各正反器 14A、14B 等效上也就成為時脈控制電路 16 的電容性負載；就以圖一 B 於時脈路徑上所標出的分支 26A 至 26C 來說，分支 26A 上連接有三個正反器、分支 26B 上有四個正反器，分支 26C 上則僅有兩個正反器。等效上來說，分支 26B 上的電容性負載最大，分支 26C 上的電容性負載最



五、發明說明 (4)

小。若是以相同的驅動力的時脈來驅動這兩個分支上的正反器，實際傳輸至分支 26B 上的時脈就會延遲於分支 26C 上的時脈（此現象稱為時脈的扭曲，skew），因為分支 26B 上較大的電容性負載也增加了在此分支上充放電所需的時間。因此，就像圖一 B 中所示，分支 26B 上應串連較多個（或驅動能力較大的）的緩衝器 24，增加時脈的驅動能力，以克服分支 26B 上較大電容性負載所引入的非理想因素，使得不同分支上的正反器所接收的時脈能真正地同時觸發各正反器。

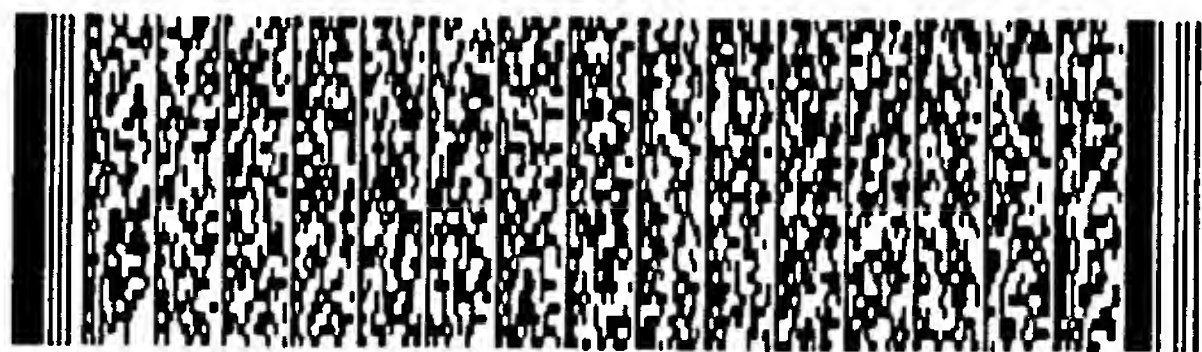
在考慮數位訊號電路實際運作的非理想因素時，除了調節參考時脈 18B 於時脈路徑上對各正反器時脈端的驅動能力外，也要考慮各正反器在時脈觸發下的時間響應。關於此情形，請參考圖二。圖二為一典型的升緣觸發正反器 14 在參考時脈 18B 之觸發下，相關輸出入訊號之時序示意圖；正反器 14 由其輸入埠的一個輸入端（圖二中標示為 D）接收一訊號 28A，並在參考時脈 18B 的觸發下由其輸出埠的一個輸出端（圖二中標示為 Q）輸出一訊號 28B。而圖二中即繪出了訊號 28A、28B 及參考時脈 18B 之訊號位準隨時間變化的波形；各波形的橫軸為時間，各波形的縱軸代表波形位準的大小。如圖二所示，隨著參考時脈 18B 於時點 tp_0 、 tp_1 、 tp_2 及 tp_3 之升緣觸發，正反器 14 會取樣輸入訊號 28A 於這些時點的波形位準，並對應地改變輸出訊號 28B 的波形位準，使輸出訊號 28B 在時點



五、發明說明 (5)

tp0、tp1、tp2及tp3之訊號位準相當於輸入訊號28A分別在這些時點時的波形位準。就圖二中的例子來說，對應於輸入訊號28A於時點tp0、tp1、tp2及tp3的位準分別為H、H、H、L(請參考圖二中之標示)，輸出訊號28B的訊號位準就會分別成為位準H、H、H、L。不過，當正反器14真正運作時，為了確保正反器14能依據參考時脈18B之升緣觸發而取樣到輸入訊號28A中波形位準穩定的部分，輸入訊號28A資料轉態發生的時機必需要早於參考時脈18B升緣發生的時機。舉例來說，如圖二中所示，要使正反器14能在時點tp0取樣到位準H的輸入訊號28A，輸入訊號28A要提前在時點tpA進行資料轉態，由位準L升高到位準H。換句話說，輸入訊號28A的資料轉態和時脈18B升緣發生的時機必需要有一定的時差，此時差即為準備時間(set-up time)。

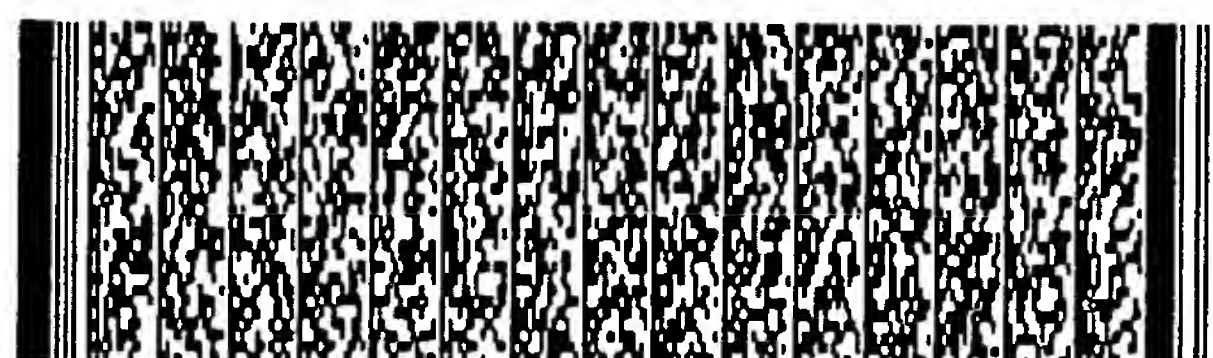
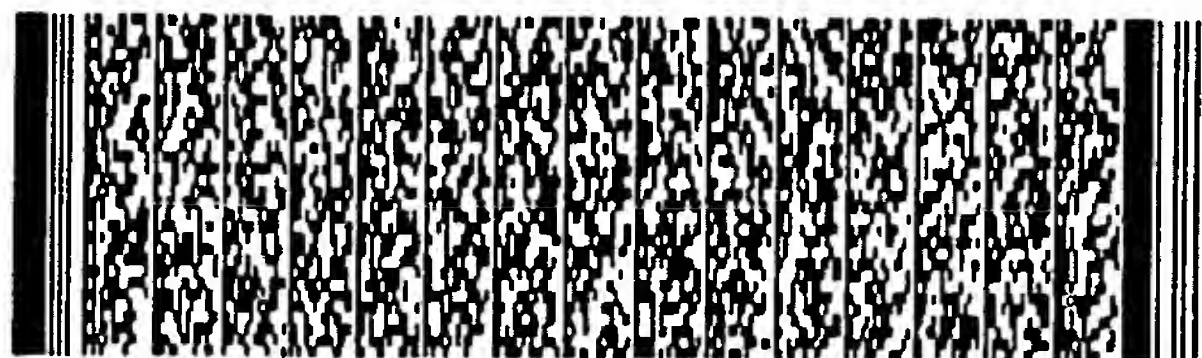
另一方面，在參考時脈18B的升緣發生後，輸入訊號28A至少要將訊號位準維持一段時間，讓正反器14能正確取樣；而輸入訊號28A在升緣後必需維持位準的時間即為維持時間(hold time)。舉例來說，在圖二中，正反器14在時點tp2取樣後，輸入訊號28A至少要等到時點tpB才能發生訊號轉態，以便讓正反器14能穩定地取樣輸入訊號28A在時點tp2的訊號位準。總結來說，在設計訊號電路10時，除了要如圖一A一般就邏輯功能層面來考慮訊號電路10是否能達成預設的邏輯運算功能，還要再加上圖一B



五、發明說明 (6)

的實際運作考慮，適當微調時脈路徑上各分枝的時脈驅動能力，並在正反器輸入訊號發生資料轉態的時機和時脈升緣（或降緣）發生的時機間引入適當的時差（這些時差可由緩衝器引入的延遲時間來微調）。在數位電路功能日趨複雜的今天，如圖一 A、一 B 的設計考量多已使用電腦執行工具軟體來進行輔助設計。圖一 A 中的邏輯設計可使用 VHDL 等程式語言加以描述及模擬；圖一 B 中的時脈考量可使用時脈樹合成 (clock tree synthesize) 的工具軟體來進行電腦輔助設計。

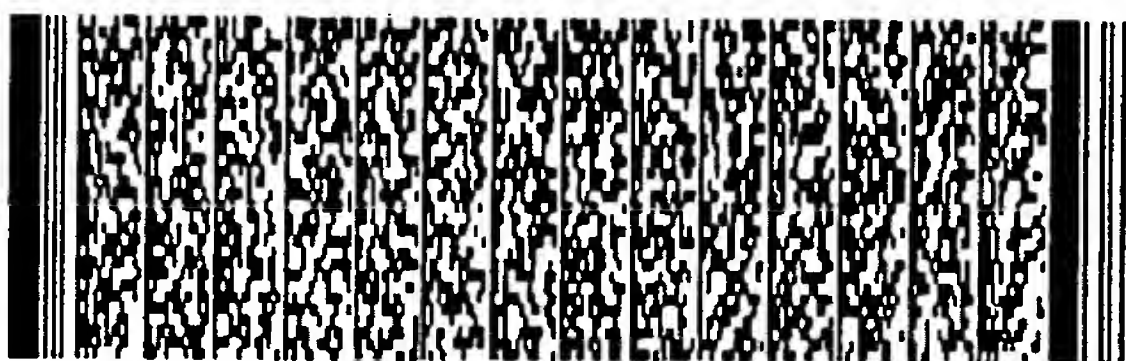
如前所述，在應用訊號電路 10 時，會有需要將參考時脈 18B 與一般的資料訊號 20 以邏輯陣列 12 中的邏輯閘做邏輯運算，以使邏輯陣列 12 於資料路徑上的資料能和參考時脈 18B 直接相關；就像圖一 A、一 B 中示意的，由參考時脈 18B 直接和一訊號 20 於邏輯閘 19B 進行邏輯運算。然而，就如前段所述，在考慮數位電路實際運作的情況，資料路徑上各資料訊號發生訊號轉態的時機應該和參考時脈 18B 中升緣（降緣）發生的時機有適當的時間差。此時若直接將時脈路徑上的參考時脈 18B 和資料路徑上的資料訊號做邏輯運算，在兩者資料轉態間的時間差中，邏輯運算的結果就會不符預期，造成對邏輯運算結果之干擾與混亂。另外，在以時脈樹合成的工具軟體來進行對訊號電路 10 的輔助設計時，工具軟體會因為參考時脈 18B 被直接輸入至邏輯閘 19B 而忽略參考時脈 18B 於邏



五、發明說明 (7)

輯閘 19B這一支所需的驅動力調整。因為時脈樹合成之工具軟體會將連接至各正反器時脈端的訊號辨識為時脈，自動調整其驅動能力及延遲，但工具軟體無法自動將直接輸入至邏輯閘 19B的訊號辨識為時脈，故無法自動地對直接輸入至邏輯閘 19B的參考時脈 18B作驅動力及延遲的調整；而這會導致邏輯閘 19B這一支的時脈和分支 26A至 26C上各正反器時脈端輸入的時脈無法真正地同時發生升緣及降緣。

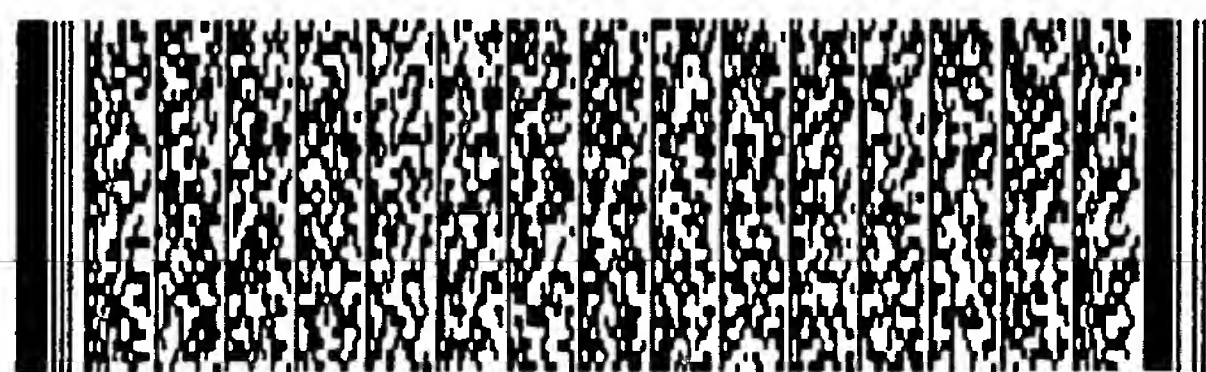
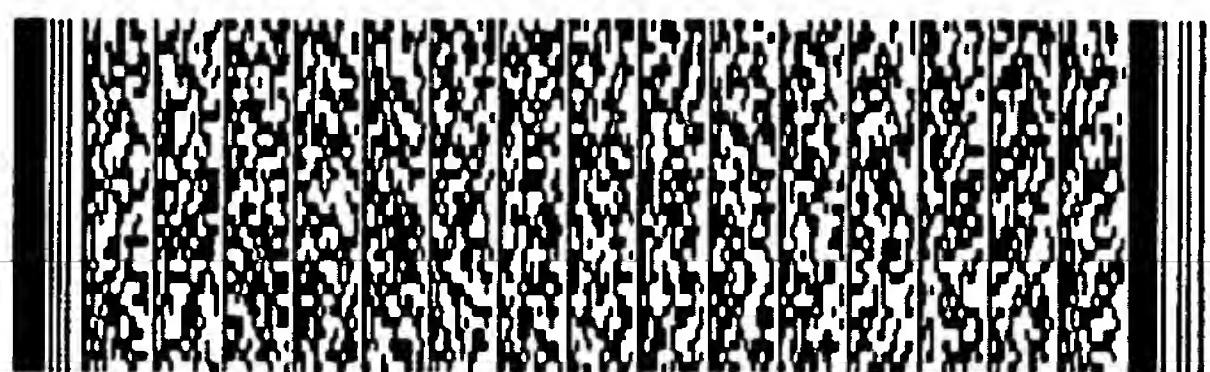
另外，如技術人士所知，為了要驗證訊號電路 10的邏輯設計是否合乎預期的目標，訊號電路 10的設計者會對訊號電路 10的邏輯功能進行電腦模擬，以圖一 A中的邏輯設計驗證訊號電路 10的邏輯功能。不過，在進行邏輯功能之電腦模擬時，各正反器時脈端的時脈都被虛擬為同步的，不論正反器所在分支上的電容性負載有多少，電腦模擬會假設各正反器時脈端的時脈皆在同一時間發生升緣及降緣；這是因為此時電腦模擬的主要目的在於邏輯功能的模擬。然而，若是以邏輯閘 19B直接對參考時脈 18B及訊號 20進行邏輯運算，電腦模擬不會將輸入至邏輯閘 19B的參考時脈 18B辨識為各正反器時脈端之時脈，而會將輸入至邏輯閘 19B的參考時脈 18B辨識為時脈控制電路 16的輸出訊號。這樣一來，電腦模擬程式會認為輸入至邏輯閘 19B的參考 18B時脈和各正反器時脈端的時脈不會同時發生升緣及降緣，導致電腦模擬無法正確進行，



五、發明說明 (8)

增加訊號電路 10 邏輯功能驗證的困難。

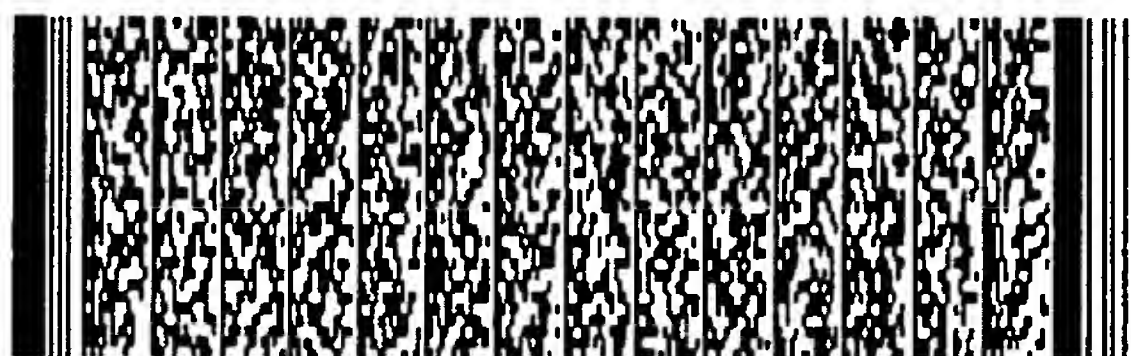
總括來說，在訊號電路 10 中，常有需要將參考時脈和其他訊號直接進行邏輯運算，使邏輯運算後的結果和參考時脈的時序直接相關；甚至在一些特殊的電路中（像是場規劃閘陣列，Field Programmable Gate Array），時脈無法直接由輸出墊輸出，只能透過邏輯陣列、正反器中的資料路徑將時脈輸出。不過，就如前面討論過的，在習知技術中，若直接將時脈路徑上的時脈進行邏輯運算，會導致電路設計、運作上的種種困難，也使電路設計者難以掌握時脈在邏輯運算後的結果。另一方面，在現代的數位電路中，也常要在不同頻率的電路間交換訊號。請參考圖三 A。圖三 A 為一訊號電路 30 中，於兩不同時脈之電路模組 32A、32B 間傳輸一訊號 36 時各相關訊號之示意圖。在訊號電路 30 中，電路模組 32A 工作於時脈 34A，電路模組 32B 則工作於倍頻之時脈 34B。在習知技術中，當電路模組 32A 要將一訊號 36 傳輸至電路模組 32B 時，電路模組 32B 會先將訊號 36 進行處理以形成另一訊號 38，最後產生出訊號 40，以便讓電路模組 32B 能辨識訊號 36 中所帶的資訊。而圖三 A 中也繪出了這些相關訊號的波形時序圖，各波形的橫軸為時間，縱軸為訊號位準的大小。在圖三 A 的例子中，由於電路模組 32B 工作的時脈 34B 倍頻於電路模組 32A 工作的時脈 34A，故時脈 34A 的週期也是時脈 34B 週期的兩倍。就如圖三 A 中所示，



五、發明說明 (9)

時脈 34A 於時點 $tp4$ 至 $tp6$ 間的一個週期，就相當於時脈 34B 分別於時點 $tp4$ 、 $tp5$ 及 $tp5$ 、 $tp6$ 之間的兩個週期。隨著各電路模組中時脈的觸發，各電路模組中一訊號裡各筆資料就對應於該電路模組時脈的各個週期。以圖三 A 為例，在電路模組 32A 中，訊號 36 在時點 $tp4$ 、 $tp6$ 之間（對應於時脈 34A 一週期）維持於位準 H，就可視為一筆數位「1」的資料；同理，訊號 36 在時點 $tp6$ 、 $tp8$ 間維持於位準 L（對應於時脈 34A 的另一個週期），即可視為一筆數位「0」的資料。

當電路模組 32A 要將訊號 36 傳輸至倍頻時脈運作的電路模組 32B 時，由於兩電路模組工作的時脈不同，必定要將訊號 36 作適當的處理及轉換，才能讓電路模組 32B 正確解讀訊號 36 中的資料。若不經過處理，倍頻時脈運作的電路模組 32A 會將訊號 36 中對應於時脈 34A 的一筆數位「1」之資料，解讀為對應於時脈 34B 的兩筆數位「1」之資料，而誤判訊號 36 中的資料。為了要轉換訊號 36 中的各筆資料，習知技術之作法可描述如下。在習知技術中，電路模組 32B 在接收訊號 36 後，可使用一升緣觸發之正反器，在時脈 34B 的觸發下，根據訊號 36 產生訊號 38，使訊號 38 延遲於訊號 36 一個時脈 34B 的週期。然後訊號 36 可和訊號 38 反相的結果作及運算，產生出訊號 40。這樣一來，訊號 40 中就只有在對應於時脈 34B 一週期的時點 $tp4$ 、 $tp5$ 間會維持於位準 H，而電路模組 32B 就能將此解

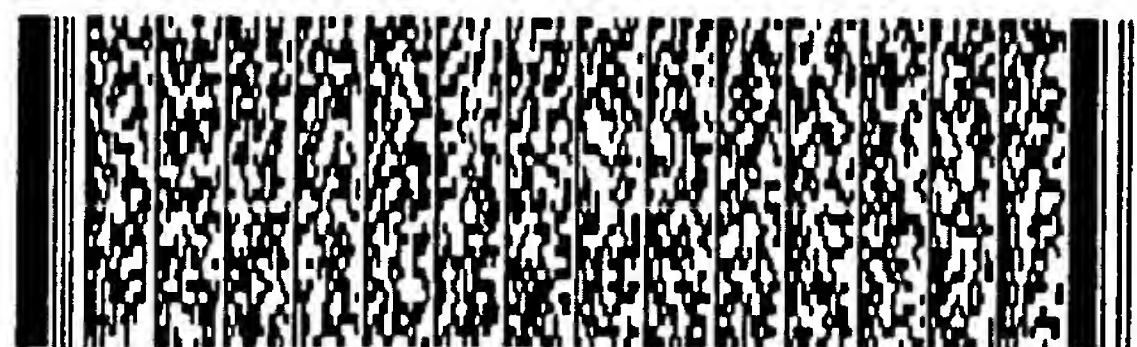
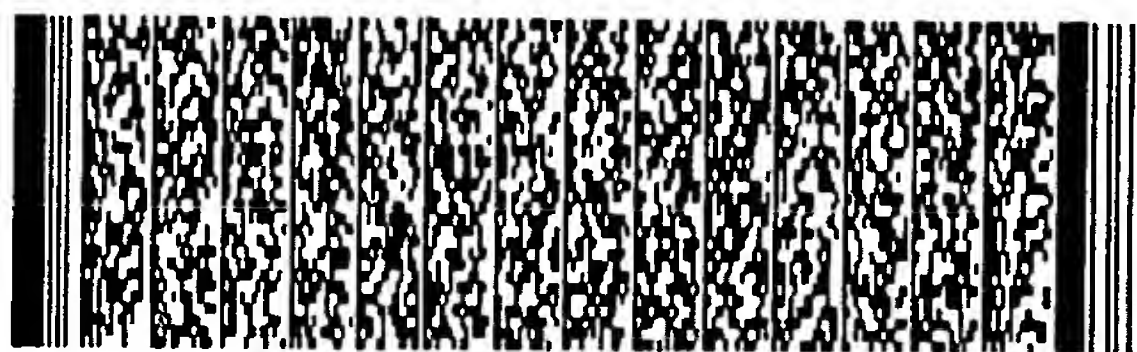


五、發明說明 (10)

讀為一筆數位「1」的資料。換句話說，在配合時脈 34A 的訊號 36 中有一筆數位「1」的資料，而將訊號 36 經由上述處理而轉換為訊號 40 後，對應於時脈 34B 的訊號 40 也會只有一筆數位「1」的資料。如此，電路模組 32A 的訊號 36 在被轉換為訊號 40 後，就能由倍頻運作的電路模組 32B 正確解讀。

不過，上述的習知技術也有缺點，那就是上述習知技術無法用來處理連續 (burst) 傳輸的數筆資料。關於此情形，請參考圖三 B。圖三 B 為圖三 A 中數位電路 30 的兩電路模組 32A、32B 傳輸一訊號 42 時，各相關訊號波形時序之示意圖；各波形的橫軸同樣為時間，縱軸為各波形的大小。如圖三 B 所示，電路模組 32A 中的訊號 42 在時點 tp_9 至 tp_{11} 間（對應於時脈 34A 的兩個週期）連續維持於位準 H，相當於兩筆連續的數位「1」資料。但若是依照前述習知技術的作法，利用時脈 34B 觸發的正反器產生訊號 46，再將訊號 46 的反相和訊號 42 作及運算，其得出的訊號 48 中仍然僅有一筆對應於時脈 34B 一週期的數位「1」資料。換句話說，以習知技術的作法，由電路模組 32A 傳輸至電路模組 32B 的資料不能是連續 (burst) 資料，而這也使兩電路模組間資料傳輸的效率降低。

發明內容



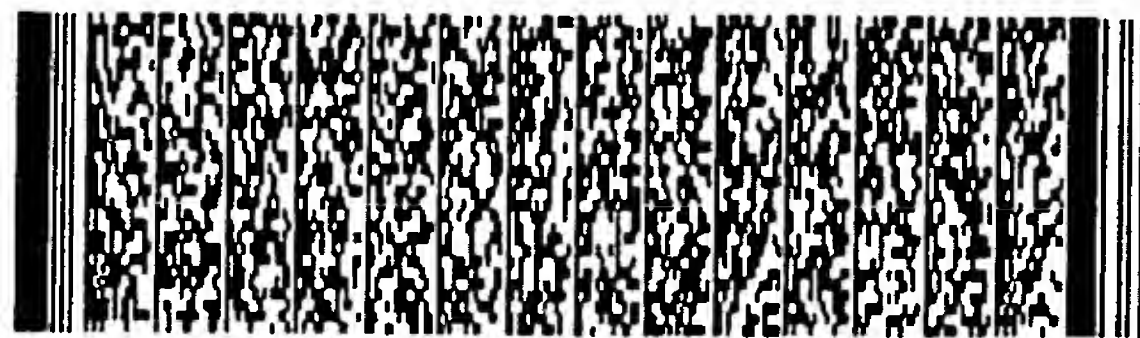
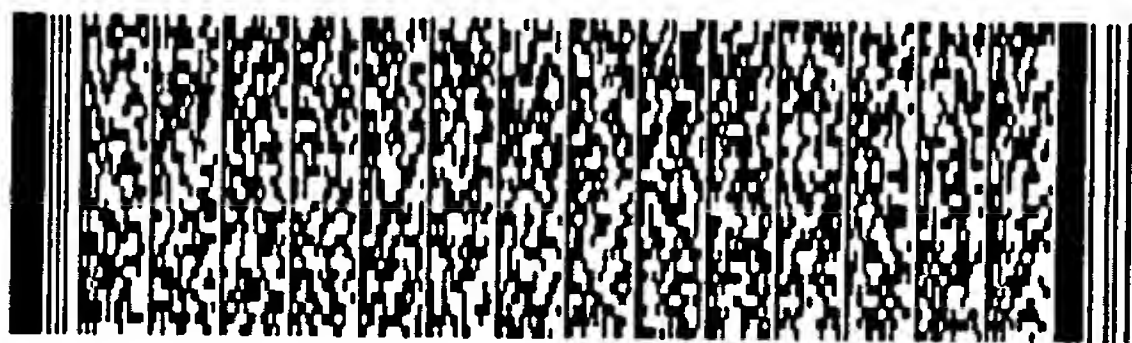
五、發明說明 (11)

因此，本發明之主要目的，是於資料路徑上提供一與時脈同步變化之訊號作為輸出時脈，並以此輸出時脈作資料處理等之相關應用，以克服習知技術中直接以時脈進行邏輯運算所衍生的種種問題。

在本發明中，係對正反器受一參考時脈觸發而變化的輸出訊號進行邏輯運算，在正反器與邏輯閘組成的資料路徑上產生一輸出時脈。此輸出時脈和參考時脈同步，又能應用於資料路徑上，直接和資料路徑上的其他資料訊號作邏輯運算。由於本發明中之輸出時脈是以正反器之輸出產生的，故在電腦模擬之邏輯功能驗證時能得到正確的模擬結果，且在進行時脈樹合成時，工具程式也能如常地調整各時脈的驅動能力，使合成出來的數位電路能正常地依照預設的時序運作。

另外，本發明中的輸出時脈能在資料路徑上正確地和其他訊號進行邏輯運算，故本發明可應用於資料、時脈之同步處理上。像是要在兩不同時脈運作之電路模組間的處理訊號傳輸時，就可使用本發明產生出來的輸出時脈直接和傳輸之訊號進行邏輯運算，使不同時脈之電路模組間能正確地傳輸、解讀具有連續 (burst) 資料之訊號。

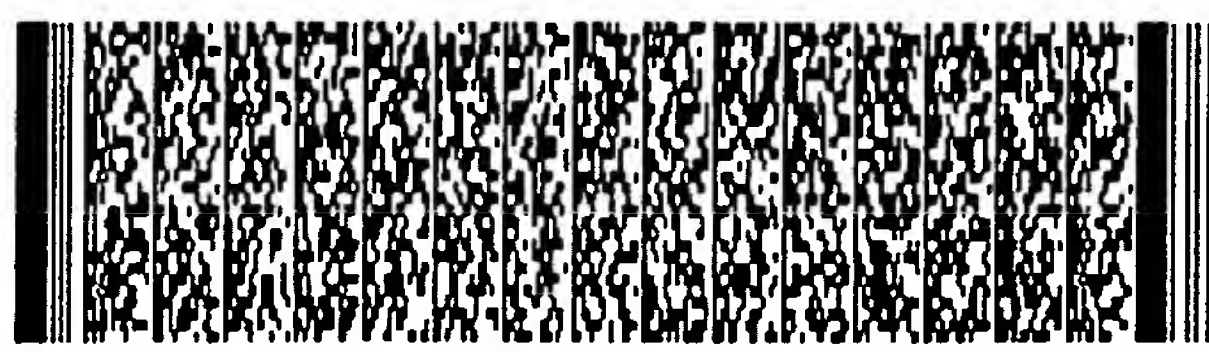
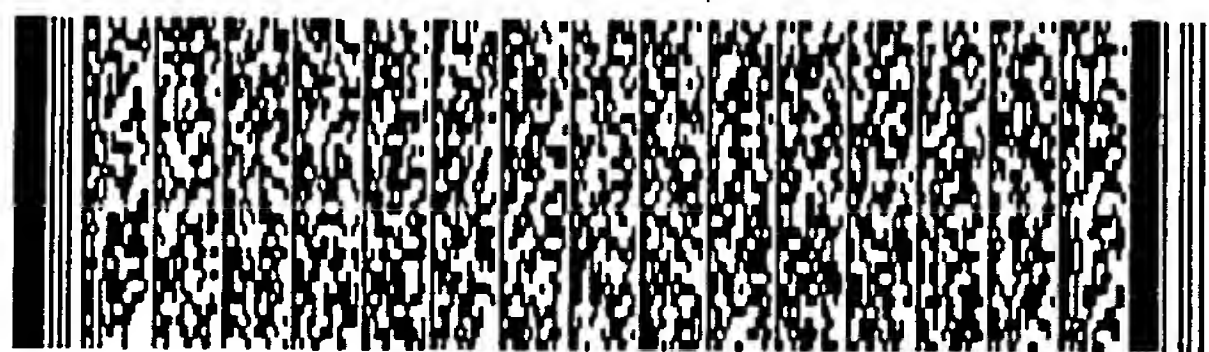
實施方式



五、發明說明 (12)

請參考圖四。圖四為本發明數位訊號電路 50 之功能方塊示意圖。類似於典型的數位訊號電路，本發明中之訊號電路 50 也設有一時脈控制電路 56、複數個正反器 54、64A 及 64B，以及在邏輯陣列 52 中的複數個邏輯閘（像是圖四中繪出的或閘 59A、互斥或閘 59B 等等）。時脈控制電路 56 用來依據一源時脈 58A 產生一參考時脈 58B；並可控制參考時脈 58B 的訊號波形。舉例來說，當訊號電路 50 要工作於省電模式時，時脈控制電路 56 可減少參考時脈 58B 的頻率，或甚至將參考時脈 58B 固定於一固定的位準，不再隨時間改變。而各正反器 54 的基本結構相同，具有一時脈端 55，以在時脈端 55 接收時脈之升緣或降緣的觸發下，根據其輸入埠 53A 輸入的訊號改變其輸出埠 53B 輸出的訊號。而各正反器的時脈端則統一由參考時脈 58B 來觸發，以協調各正反器運作的時序。同樣地，各正反器輸出埠連同邏輯陣列 52 各邏輯閘輸出入端就構成訊號電路 50 的資料路徑，而參考時脈 58B 則透過連接至各正反器時脈端的時脈路徑控制各正反器運作的時序。適當連接各正反器及邏輯陣列 52 的各個邏輯閘，就能實現各種數位訊號電路的功能，並將相關訊號由訊號電路 50 的複數個輸出墊 62 輸出。

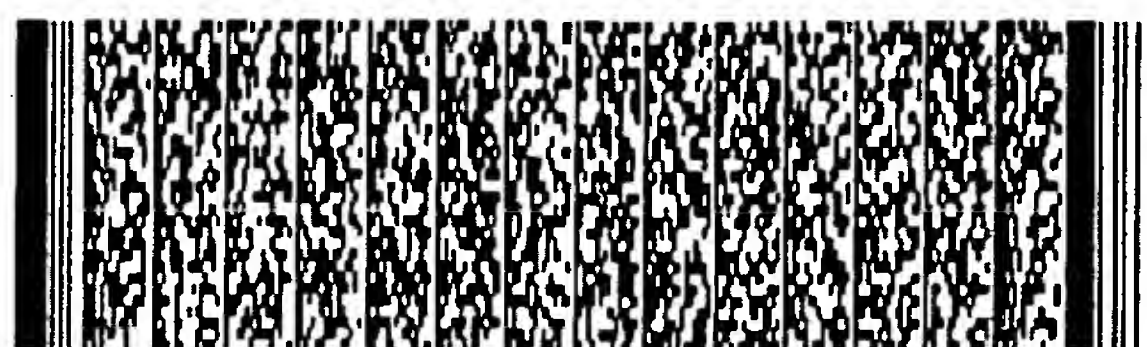
為了達成本發明的目的之一，在資料路徑上產生一和參考時脈 58B 同步變化的資料訊號做為一輸出時脈，本發



五、發明說明 (13)

明中也以兩個正反器 64A、64B 及一互斥或閘 59B 實現一時脈模組 70 的功能。如圖四所示，在此作為一時脈電路的時脈模組 70 中，正反器 64A、64B 的時脈端皆透過時脈路徑受參考時脈 58B 的觸發；正反器 64A、64B 的輸入埠分別有一輸入端（圖四中標示為 S），各正反器的輸出埠則有兩互為反相的輸出端（圖四中分別標示為 Q、Q'）。正反器 64A 為升緣觸發的正反器，若其輸入端 S 在時脈 58B 之升緣發生時取樣至數位「1」的資料，其輸出端 Q、Q' 會分別輸出數位「1」、「0」的資料；若取樣到數位「0」的資料，則其輸出端 Q、Q' 會分別輸出數位「0」、「1」的資料。正反器 64B 則為降緣觸發的正反器，若其輸入端 S 在時脈 58B 之降緣發生時取樣至數位「1」的資料，其輸出端 Q、Q' 會分別輸出數位「1」、「0」的資料，以此類推。在時脈模組 70 中，正反器 64A 輸出端 Q' 之輸出訊號 66C 直接迴授連接至其輸入端 S，其輸出端 Q 則產生一訊號 66A。訊號 66A 會被傳輸至正反器 64B 的輸入端 S，以在參考時脈 58B 的降緣觸發下於正反器 64B 的輸出端 Q 產生一訊號 66B。以互斥或閘 59B 作為一邏輯模組而將訊號 66A、66B 輸入至互斥或閘 59B 以作互斥或運算後，就能於訊號電路 50 的資料路徑上，產生出一個與參考時脈 58B 同步變化的訊號，也就是輸出時脈 58C。

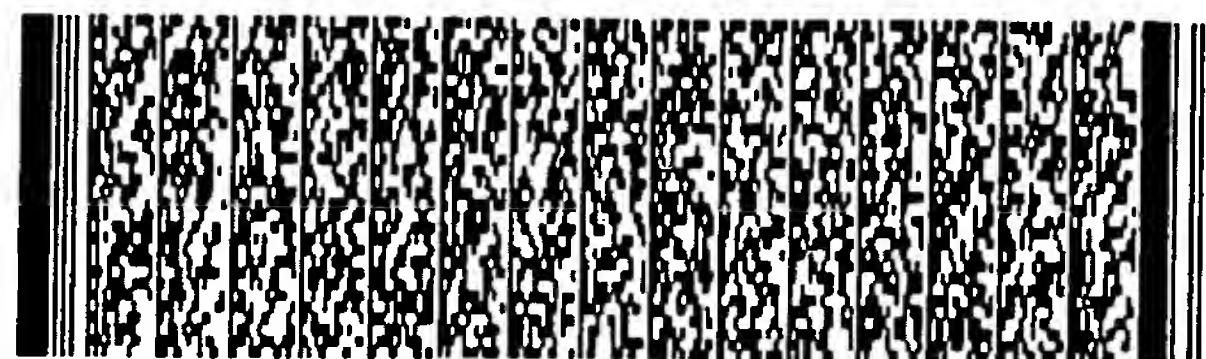
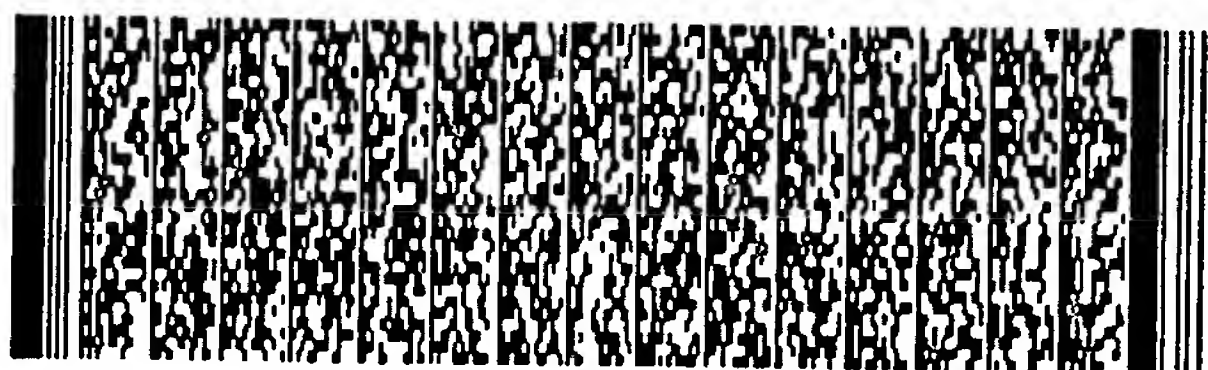
關於時脈模組 70 運作的原理，請進一步參考圖五（並一併參考圖四）。圖五為圖四中之時脈模組 70 運作時，



五、發明說明 (14)

各相關訊號波形時序的示意圖。各波形之橫軸為時間，縱軸為波形位準的大小。圖五中由上而下，即分別為正反器 64A 輸出端 Q' 之訊號 66C、參考時脈 58B、正反器 64A、64B 輸出的訊號 66A、66B，以及輸出時脈 58C 之波形。參考時脈 58B 之週期為 T，其波形在一週期中有一升緣及一降緣。如圖五所示，假設在時點 t_0 前，正反器 64A 之輸出端 Q、Q' 之訊號位準分別為代表數位「0」、「1」的位準 L、H；在時點 t_0 ，參考時脈 58B 的升緣取樣到訊號 66C 位準 H 的數位「1」資料，使得正反器 64A 也使其輸出端 Q 輸出之訊號 66A 升高至位準 H；輸出端 Q' 的訊號 66C 則降低至位準 L。到了參考時脈 58B 於時點 t_2 的升緣，正反器 64A 又取樣到訊號 66C 為位準 L，使正反器 64A 將其輸出端 Q 的訊號 66A 轉為位準 L，將輸出端 Q' 的訊號 66C 轉為位準 H，以此類推。這樣一來，參考時脈 58B 的每個升緣（像是在時點 t_0 、 t_2 、 t_4 及 t_6 的升緣）都會觸發訊號 66A、66C 在位準 H、L 之間互換一次。依據類似的道理，以訊號 66A 為輸入訊號的正反器 64B 則會在時脈 58B 於時點 t_1 、 t_3 、 t_5 及 t_7 的降緣觸發訊號 66B 改變位準一次。在互斥或閘 59B 將訊號 66A、66B 作互斥或運算後，其所得之輸出時脈 58C 就如圖五所示。由圖五可看出，輸出時脈 58C 會和參考時脈 58B 同步地變化，換句話說，輸出時脈 58C 等效上就可以當作是在資料路徑上的時脈。

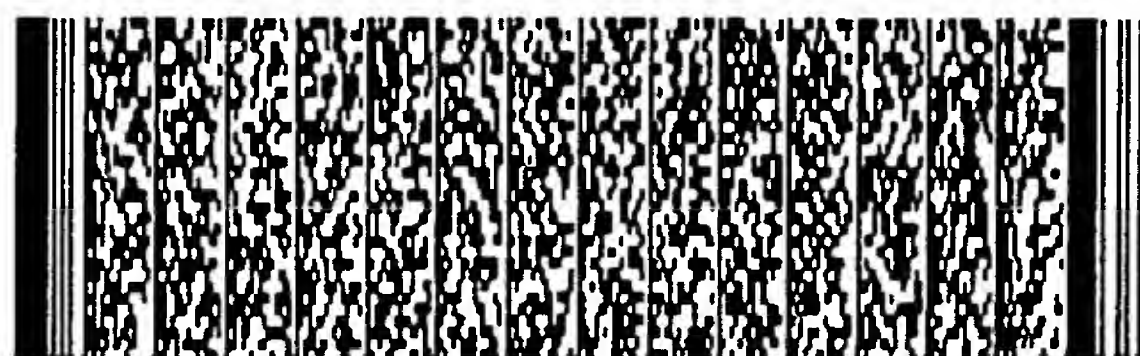
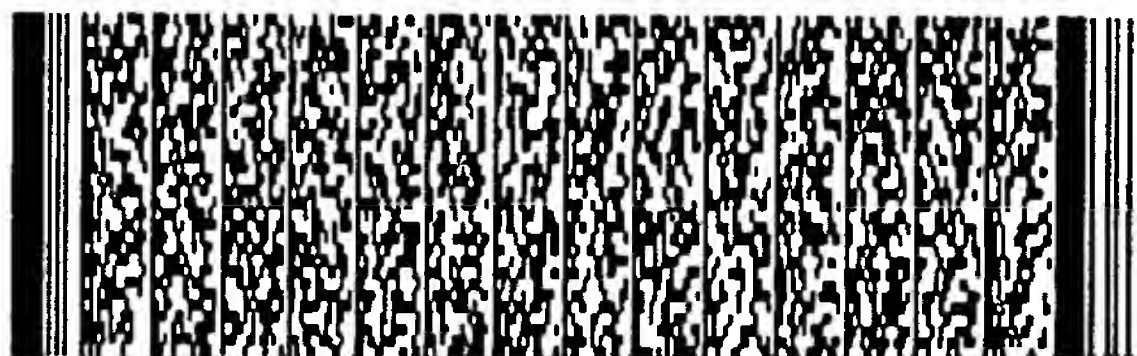
如前面所討論過的，數位訊號電路常有需要將時脈和



五、發明說明 (15)

資料路徑上的資料訊號作邏輯運算，但若像在習知技術中直接將時脈路徑上的時脈和資料路徑上的資料訊號作邏輯運算，會導致數位訊號電路在電路設計上及實際運作時的種種困難。在本發明中，則可用時脈模組 70 在資料路徑上（也就是在正反器的輸出埠與邏輯陣列邏輯閘之輸出端）產生出一個與參考時脈 58B 同步變化的資料訊號，也就是輸出時脈 58C。當有需要將時脈和資料路徑上的其他資料訊號作邏輯運算時，就可使用資料路徑上的輸出時脈 58C 來當作是時脈，和資料路徑上的其他資料訊號作邏輯運算。由於輸出時脈 58C 是在資料路徑上產生的，在對訊號電路 50 進行電腦模擬之邏輯功能驗證時，參考時脈 58B 不會直接於邏輯閘與其他訊號作邏輯運算，不會像習知技術一般有將時脈路徑之時脈混入資料路徑的情形發生，可使邏輯功能驗證能正常順利地進行。同理，在進行時脈樹合成時，由於參考時脈 58B 不會像習知技術一般直接連接至邏輯閘，而是正常地連接至正反器 64A、64B 的時脈端，時脈樹合成的工具軟體就能正常地為正反器 64A、64B 微調其分支上的時脈驅動力及延遲時間。

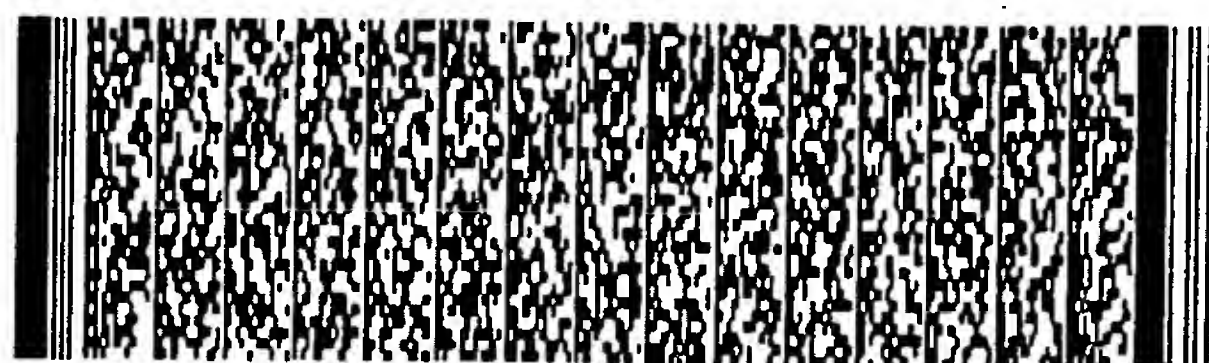
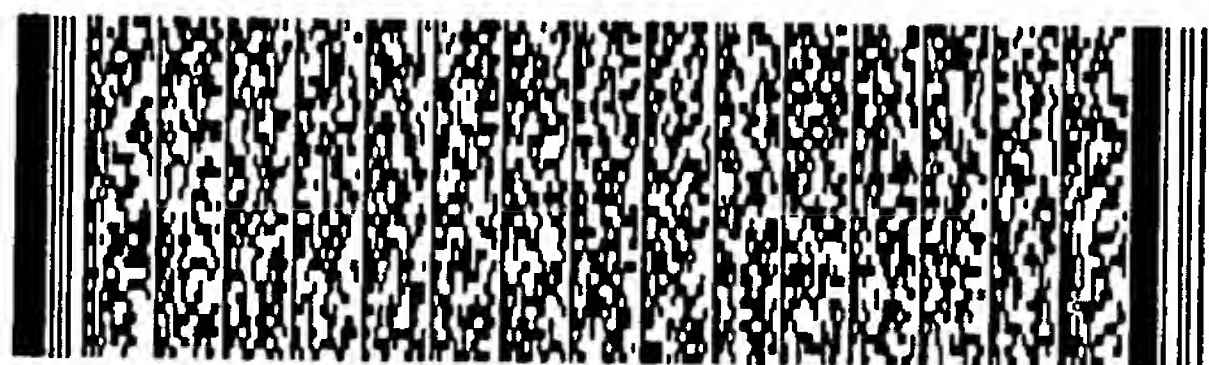
請參考圖六。圖六為圖四中時脈模組 70 另一實施例之功能方塊示意圖。圖六中的時脈模組 70 係以正反器 64C、64D 及一互斥或閘 59B 來構築，並根據參考時脈 58B 對正反器之觸發，而於資料路徑上產生一個與參考時脈 58B 同步



五、發明說明 (16)

變化的資料訊號，做為一輸出時脈 58C。類似於圖四中的實施例，正反器 64C、64D亦分別為升緣及降緣觸發之正反器；比較不同的是，正反器 64C是以其輸入端 R來接收其輸出埠迴授之訊號。在正反器 64C運作時，若在參考時脈 58B之升緣發生時，正反器 64C由其輸入端 R取樣到數位「1」之資料，會由其輸出端 Q、Q'分別輸出數位「0」、「1」之資料；反之，若輸入端 R取樣到數位「0」之資料，其輸出端 Q、Q'會分別輸出數位「1」、「0」的訊號。圖六中之時脈模組 70運作之原理與圖四中之時脈模組 70相同，技術人士應可類推而得；在不影響本發明技術揭露的情形下，不再贅述。

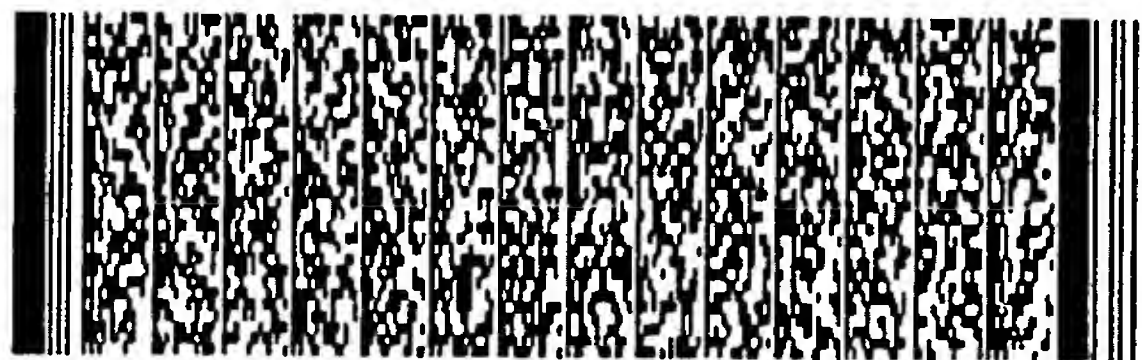
利用本發明之時脈模組 70在資料路徑上產生等效於時脈的資料訊號（也就是輸出時脈 58C）後，其具有多種可能的應用。最直接的應用是將輸出時脈 58C由訊號電路 50的輸出墊 62直接輸出。如前所述，在某些特殊電路（像是場規劃閘陣列）中，時脈路徑上的時脈無法直接由輸出墊輸出，此時就可在這些特殊電路中以本發明之精神產生出等效於時脈的資料訊號，再將此資料訊號輸出於輸出墊，當作是時脈的輸出。舉例來說，在微處理機系統中，若是要以場規劃閘陣列實現一記憶體（像是靜態隨機存取記憶體）之控制器，就可在場規劃閘陣列中實現本發明的時脈模組，讓控制器得以輸出等效於時脈的訊號，以做為一時脈電路，控制記憶體資料存取之時



序。

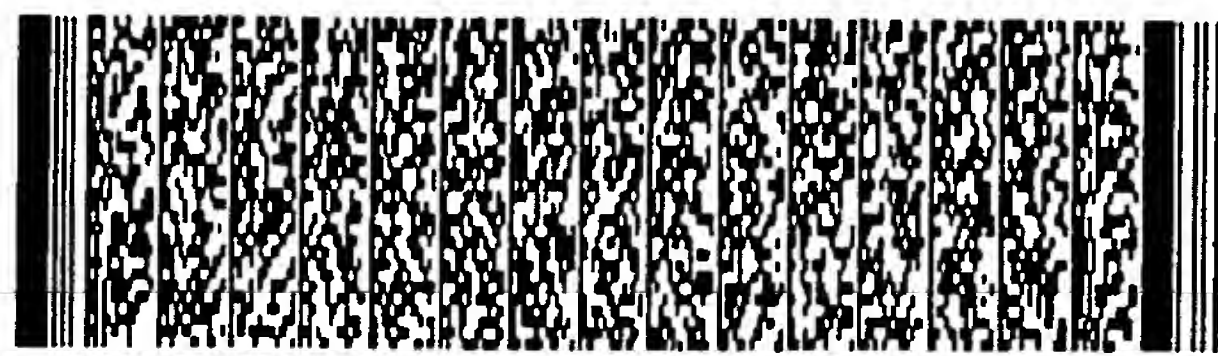
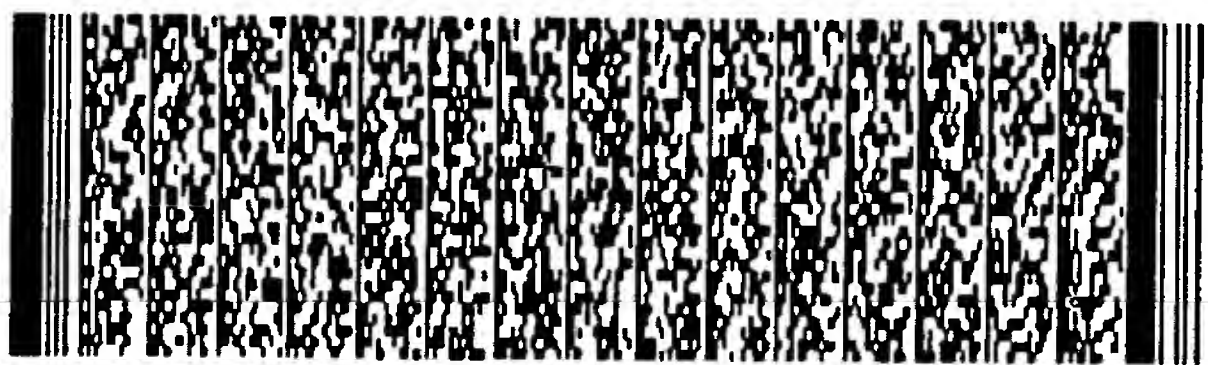
另外，由於本發明時脈模組產生出來的輸出時脈可以直接和資料路徑上的其他訊號做邏輯運算，故輸出時脈也可用來當作訊號處理的依據。舉例來說，當一訊號電路中有兩個工作於不同時脈的電路模組要傳輸訊號時，就可使用本發明所產生的輸出時脈來處理要傳輸的訊號。關於此情形，請參考圖七A。圖七A為一數位訊號電路80中，兩工作於不同時脈84A、84B之電路模組82A、82B以本發明之時脈模組進行訊號處理之功能方塊示意圖。在訊號電路80中，電路模組82A運作於時脈84A，電路模組82B則運作於倍頻的時脈84B。要使電路模組82B能正確解讀由電路模組82A發送的資料，可使用本發明的精神於電路模組82A中實現一時脈模組86（像是以圖四或圖六中的時脈模組70），以根據時脈84A在資料路徑上產生一與時脈84A等效的資料訊號，也就是輸出時脈84C。而由電路模組82A傳輸至電路模組82B的資料訊號90A則可以由一對應的控制訊號88A定義其有效資料延續的時間。兩及閘96則實現一邏輯模組，分別將資料訊號90A、控制訊號88A與輸出時脈84C做及運算，即可分別產生出資料訊號90B、控制訊號88B。配合控制訊號88B，電路模組82B即可正確解讀資料訊號90B中的資料。

關於圖七A中電路運作的進一步情形，請繼續參考圖



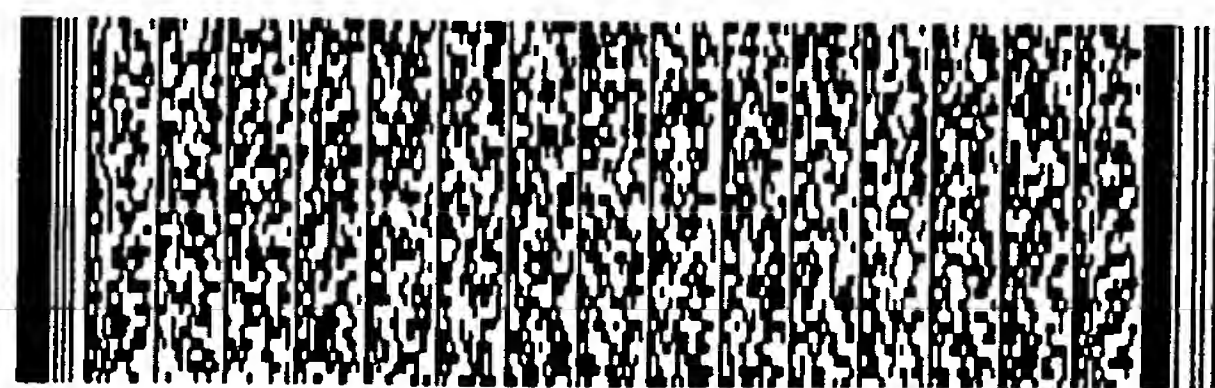
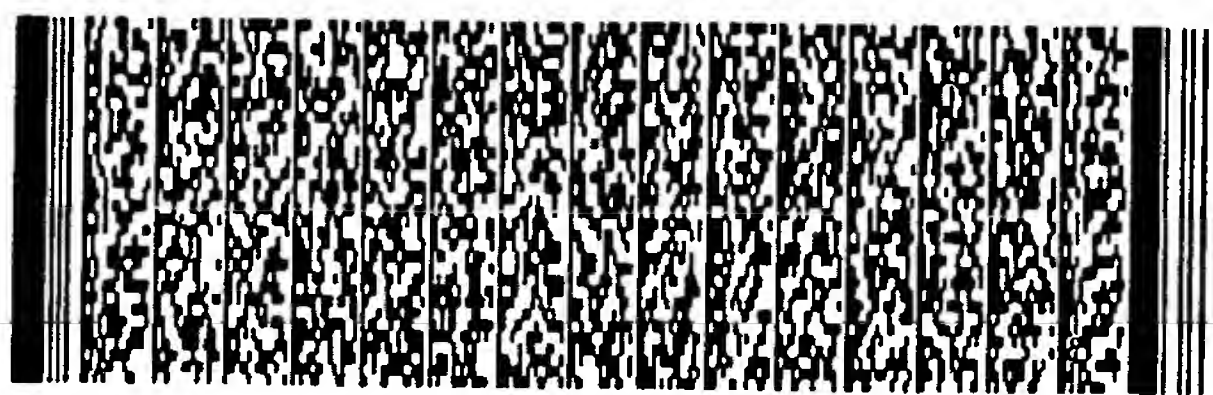
五、發明說明 (18)

七 B (並一併參考圖七 A)。圖七 B 為圖七 A 中的訊號電路 80 運作時，各相關訊號波形時序之示意圖；圖七 B 之橫軸為時間，各波形的縱軸即為訊號波形的位準大小。如圖七 B 所示，觸發電路模組 82A 依時序運作之時脈 84A，其週期為 $T1$ ；電路模組 82B 則運作於週期 $T2$ 之倍頻時脈 84B，故週期 $T2$ 相當於週期 $T1$ 的一半。根據時脈 84A，以本發明之精神實現的時脈模組 86 即可在資料路徑上產生出一個等效的輸出時脈 84C。配合時脈 84A 的觸發，假設電路模組 82A 中的資料訊號 90A 在時點 $ta0$ 至 $ta4$ 間有各對應於一週期 $T1$ 的連續兩筆資料 92A、94A 要傳輸至電路模組 82B；配合資料訊號 90A 中的兩筆資料，電路模組 82A 可在時點 $ta0$ 至 $ta4$ 之間，將控制訊號 88A 維持為代表數位「1」的位準 H (其餘時間則為代表數位「0」的位準 L)，指示資料 92A、94A 延續的時間。分別以一及閘 96 將資料訊號 90A、控制訊號 88A 與輸出時脈 84C 做及運算後，就可形成資料訊號 90B、控制訊號 88B。其中，資料訊號 90A 的兩筆資料 92A、94A 在及運算後分別成為資料訊號 90B 中的資料 92B、94B。由圖七 B 中可看出，因為輸出時脈 84C 的週期在時點 $ta1$ 至 $ta2$ 、時點 $ta3$ 至 $ta4$ 之間會是數位「0」的位準 L，輸出時脈 84C 在和資料訊號 90A 做及運算後，原本各延續一週期 $T1$ 的資料 92A、94A，就分別成為資料訊號 90B 中僅延續半個週期 $T1$ 的資料 92B、94B，可視為資料 92A、94A 的子資料，正好對應於時脈 84B 的一個週期 $T2$ 。而在時點 $ta1$ 至 $ta2$ 、 $ta3$ 至 $ta4$ 間，資料訊號 90B 中原本對應於



五、發明說明 (19)

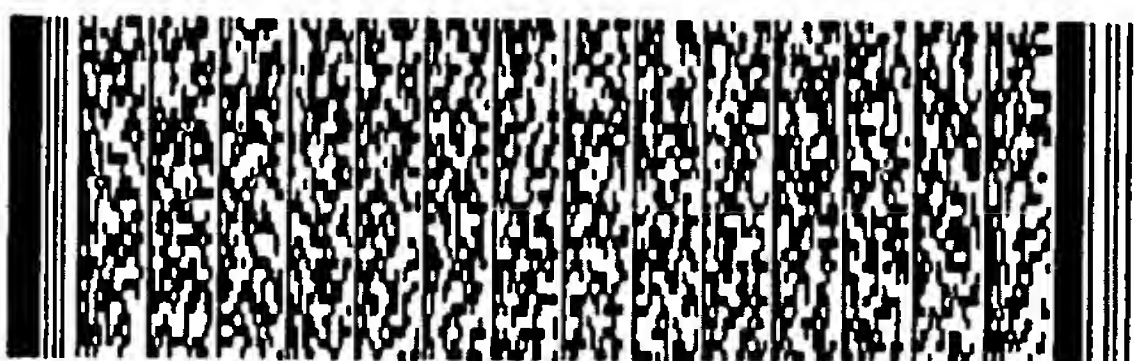
資料 92A、94A的期間就會在及運算後成為數位「0」的子資料。同理，及運算後的控制資料 88B也會在資料 92B、94B延續的期間，維持於位準 H，以指示資料訊號 90B中有效資料（也就是資料 92B、94B）所延續的期間。由於資料訊號 90B中的資料 92B、94B延續的時間剛好對應於時脈 84B的一週期 T2，故運作於時脈 84B的電路模組 82B就可在控制資料 88B的輔助下，正確地將延續於時點 t_{a0} 至 t_{a1} 、 t_{a2} 至 t_{a3} 的資料 92B、94B分別判斷為一筆資料。換句話說，在訊號電路 80中，由於本發明之精神所產生出來輸出時脈 84C能用來直接和資料訊號 90A、控制訊號 88A做邏輯運算，就能用來在兩個運作於不同時脈的電路模組間做訊號格式的處理及轉換，讓兩者間傳輸的訊號能被正確解讀。請注意，在圖七 B的例子中，不論是資料訊號 90A中的兩筆資料 92A、94A或是控制訊號 88A中於時點 t_{a0} 至 t_{a4} 之間連續維持兩週期 T1的訊號，皆屬於連續 (burst) 資料；換句話說，即使電路模組 82A要傳輸至電路模組 82B的資料是連續資料，以本發明於圖七 A、七 B中的資料處理方式仍能適當地加以轉換。相較之下，圖三 A、三 B中討論的習知技術就無法處理連續資料了。請參考圖八 A、八 B。圖八 A為本發明於另一訊號電路 100中，在兩個異頻時脈之電路模組 102A、102B間進行訊號處理的功能方塊示意圖；圖八 B則為圖八 A中相關訊號波形時序之示意圖；圖八 B之橫軸為時間，各波形的縱軸為訊號位準的大小。在圖八 A中，訊號電路 100亦有兩個分



五、發明說明 (20)

別運作於時脈 104A、104B 的電路模組 102A、102B，而時脈 104B 的頻率則為時脈 104A 的四倍。在兩電路模組四倍頻工作時脈的差異下，要使電路模組 102A 傳輸至電路模組 102B 的資料訊號 110A 能被後者正確解讀，仍可使用本發明的精神，先根據時脈 104A，以時脈模組 106 於資料路徑上產生一等效的輸出時脈 104C，再將資料訊號 110A 及一對應的控制訊號 108A 分別與輸出時脈 104C 於一及閘 96 做及運算，以分別產生出資料訊號 110B 及控制訊號 108B。在電路模組 102B 接收資料訊號 110B 及控制訊號 108B 後，可根據時脈 104B 的觸發，分別以正反器 140（其輸入端標示為 D、輸出端標示為 Q，並具有時脈端 142）產生出資料訊號 110C 及控制訊號 108C。資料訊號 110B 和 110C、控制訊號 108B 和 108C 分別於一及閘 96 進行及運算後，其所產生出來的資料訊號 110D 及控制訊號 108D 就包含有對應於資料訊號 110A 的正確資訊，能順利被四倍頻的電路模組 102B 所解讀。

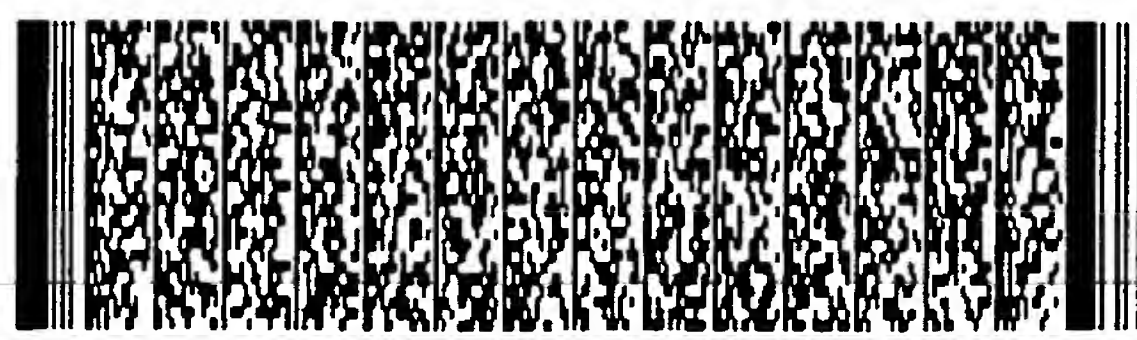
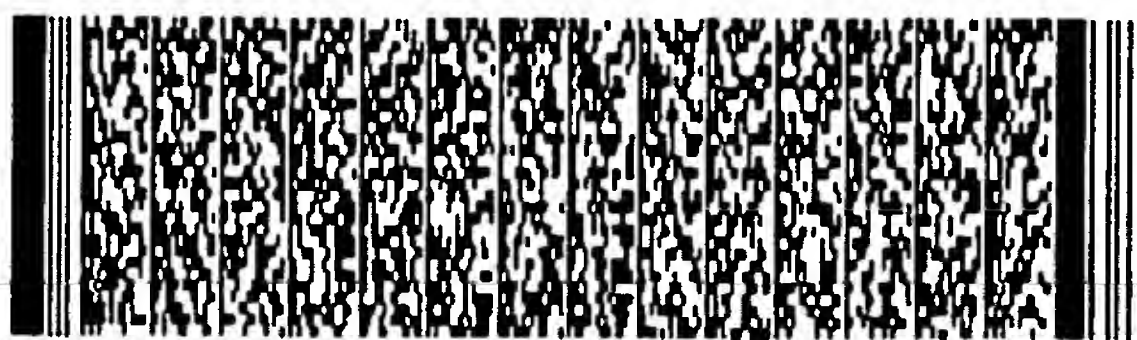
如圖八 B 所示，用來觸發電路模組 102A 依時序運作的時脈 104A，其時脈之週期即為 T1；而觸發電路模組 102B 運作的四倍頻時脈 104B，其週期則為 T4；換言之，一週期 T1 中有四個週期 T4。利用本發明揭露之時脈模組 106，電路模組 102A 可根據時脈 104A 之觸發，於資料路徑上產生出一個同步變化的輸出時脈 104C。假設在電路模組 102A 中，資料訊號 110A 中有分別對應一週期 T1 的連續三



五、發明說明 (21)

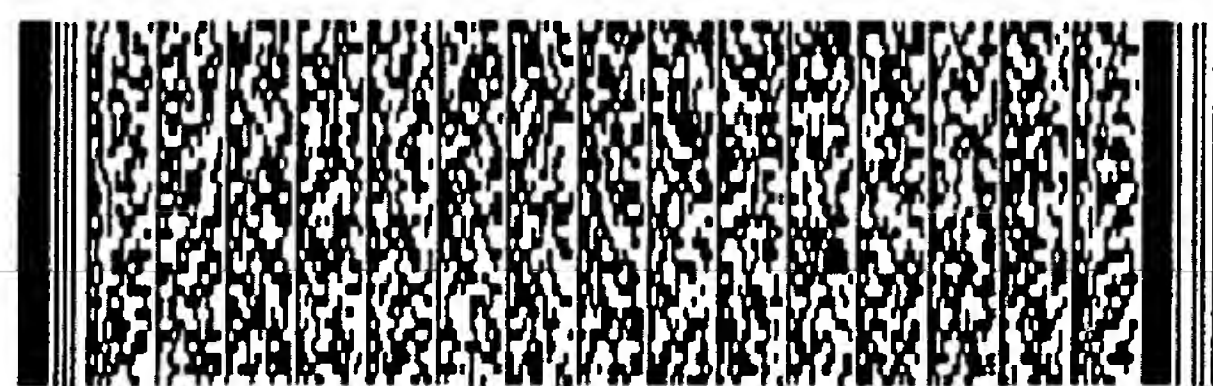
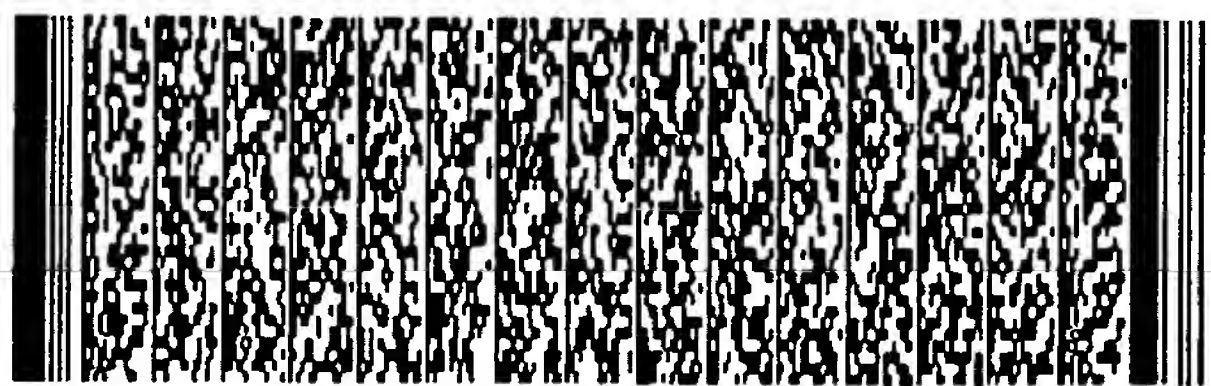
筆資料 112A、114A及 116A要傳輸至電路模組 102A；而電路模組 102A就可於時點 tb0至 tb12間連續三個週期 T1的時段中，將控制訊號 110A維持於數位「1」的位準 H，以指示資料訊號 110A中由時點 tb0至 tb12三筆連續的資料 112A、114A及 116A。在分別將資料訊號 110A、控制訊號 108A與輸出時脈 104C進行及運算後，就分別成為資料訊號 110B及 108B。如圖八 B所示，原本於資料訊號 110A中分別延續一週期 T1的資料 112A、114A及 116A，在資料訊號 110B中，就分別成為延續半個週期 T1的資料 112B、114B及 116B，可視為延續半週期 T1的子資料。同理，控制訊號 108B中也只會在時點 tb0至 tb2、tb4至 tb6、tb8至 tb10間維持於數位「1」的位準 H。

在電路模組 102B中，控制訊號 108B、資料訊號 110B分別經過一正反器 140的觸發處理而形成控制訊號 108C、資料訊號 110C。如圖八 A中所示，資料訊號 110B中的三筆資料 112B、114B及 116B在經過正反器 140的處理後，就分別延遲一個週期 T4的時間，成為資料訊號 110C中的資料 112C、114C及 116C。同理，控制訊號 108B在時點 tb0至 tb2、tb4至 tb6、tb8至 tb10間維持於位準 H的部分，也延遲一個週期 T4的時間，成為控制訊號 108C中於時點 tb1至 tb3、tb5至 tb7、以及 tb9至 tb11間維持於位準 H的部分。在將資料訊號 110B與 110C、控制訊號 108B及 108C分別進行及運算後，就成為資料訊號 110D及控制訊號 108D。由



五、發明說明 (22)

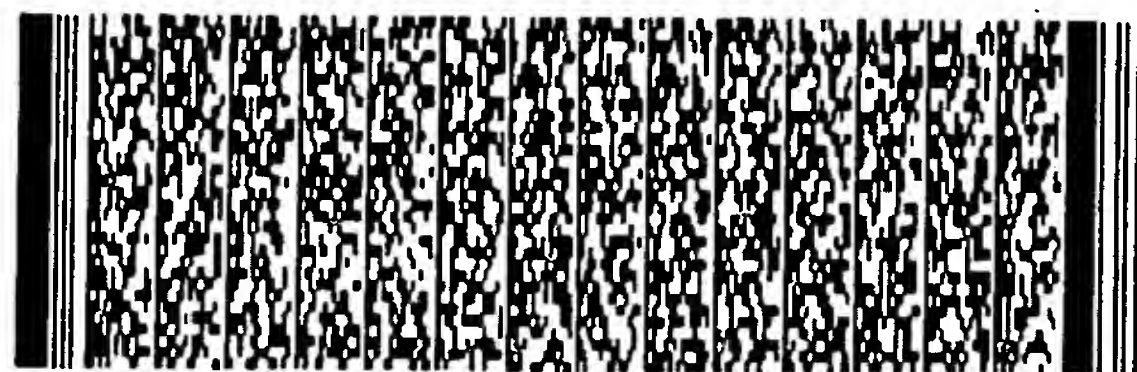
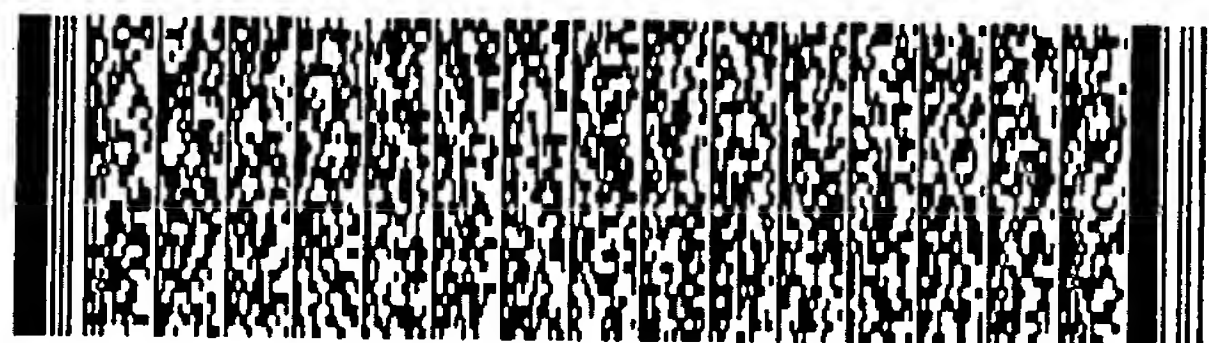
圖八 B 可看出，資料訊號 110B 中的三筆資料 112B、114B 及 116B 在和資料訊號 110C 中的三筆資料 112C、114C 及 116C 及運算後，就分別成為資料訊號 110D 中三筆資料 112D、114D 及 116D；這三筆資料剛好都維持於一個週期 T_4 的期間。同理，控制訊號 108D 中也僅於時點 tb_1 至 tb_2 、 tb_5 至 tb_6 及 tb_9 至 tb_{10} 之間分別於一個週期 T_4 的期間維持於位準 H。這樣一來，運作於四倍頻時脈 104B 的電路模組 102B，就能依據控制訊號 108D，正確地將資料訊號 110D 中的資料 112D、114D 及 116D 分別解讀為一筆資料。請參考圖九 A、九 B。圖九 A 為本發明於另一訊號電路 120 中，在兩異頻時脈運作之電路模組 122A、122B 間進行資料格式處理、轉換之功能方塊示意圖；圖九 B 則為圖九 A 中各相關訊號波形時序之示意圖，圖九 B 之橫軸為時間，各波形的縱軸代表波形位準的大小。在圖九 A 中，電路模組 122A 運作於時脈 124A，電路模組 122B 則運作於一三倍頻的時脈 124B。當電路模組 122A 要將一資料訊號 130A 傳輸至電路模組 122B 時，電路模組 122A 中亦可根據本發明之精神設置一時脈模組 126，以根據時脈 124A 於資料路徑上產生一等效之輸出時脈 124C。如前所述，經由本發明時脈模組 126 產生出來的輸出時脈可以用來進行邏輯運算，故在電路模組 122A 中就可另使用一邏輯模組 127 來根據時脈 124C 產生出一工作週 (duty cycle) 為 $1/3$ 之參考訊號 129；圖九 B 中即繪出了時脈 124A (也就是輸出時脈 126C) 與此參考訊號 129 之波形時序。將資料訊號 130A 及



五、發明說明 (23)

一對應的控制訊號 128A 分別於一及閘 96 與此參考訊號 129 進行及運算後所產生的資料訊號 130B 及控制訊號 128B，即能讓運作於三倍頻的電路模組 122B 正確解讀原本在資料訊號 130A 中攜載的資料。應注意的是，邏輯模組 127 可利用組合電路來構築，任何熟習本發明技術者當可依據其實際需求加以組合。此外，邏輯模組 127 亦可併入時脈模組 126 中，熟習本發明技術者當可依據實際需求加以變更。

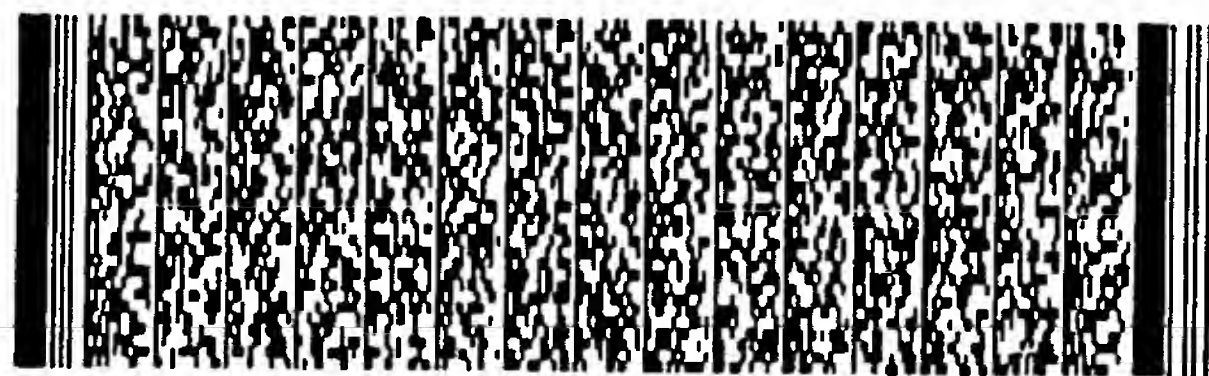
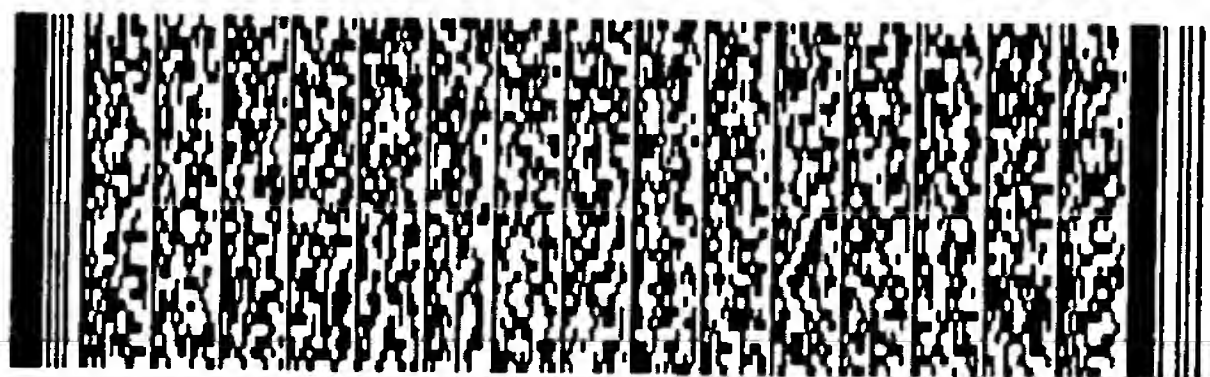
如圖九 B 所示，時脈 124A、124B 分別用來觸發電路模組 122A 依時序運作，其週期分別為 T1 及 T3；由於時脈 124B 之頻率三倍於時脈 124A，故一個週期 T1 中涵蓋了三個週期 T3。經由時脈模組 126，即可根據時脈 124A 產生出輸出時脈 124C。而邏輯模組 127 就可根據輸出時脈 124C 產生出與其同步之參考訊號 129。假設在電路模組 122A 的資料訊號 130A 中，有兩筆分別對應於一週期 T1 的資料 132A、134A 要傳輸至電路模組 122B 中，電路模組 122A 就能在時點 t_{c0} 至 t_{c6} 之間，將控制訊號 128A 維持於數位「1」的位準 H，指示資料訊號 130A 中有效資料維持的時間。將控制訊號 128A、資料訊號 130A 分別和參考資料 129 做及運算後即可得到控制訊號 128B、資料訊號 130B。如圖九 B 中所示，資料訊號 130A 中分別延續一週期 T1 的兩筆資料 132A、134A，到了資料訊號 130B 中就成為分別延續一週期 T3 的兩筆子資料 132B、134B；同理，控制訊號



五、發明說明 (24)

128A中於兩週期 $T1$ 間維持為位準 H 的部分，也就成為控制訊號 128B中，分別於時點 $tc0$ 至 $tc1$ 、 $tc3$ 至 $tc4$ 間維持於位準 H 的部分。既然資料 132B、134B延續的期間均等於時脈 124B的一個週期 $T3$ ，電路模組 122B就能依據控制訊號 128B的指示，正確地解讀資料訊號 130B中的資料了。

在習知技術中，僅以時脈路徑上的時脈直接和資料路徑上的訊號做邏輯運算，將會造成電路設計、模擬、實現上的多種困難；在某些特殊的電路中，時脈路徑上的時脈也無法由輸出墊直接輸出，導致應用上的困難。由於習知技術中於時脈路徑上的時脈不宜和資料路徑上的資料直接做邏輯運算，故習知技術中也難以利用時脈來進行相關的訊號處理，像是在兩個異頻運作的電路間進行訊號資料的轉換；故習知資料轉換的方法也無法處理連續資料。相較之下，本發明首先於圖四至圖六的相關討論中揭露了在資料路徑上產生時脈的技術，以使用時脈觸發正反器，於資料路徑上產生一與時脈同步的資料訊號（也就是輸出時脈）。由於本發明可在資料路徑上產生輸出時脈，大幅減少了電路設計、模擬、實現上的各種困難；即使是無法於輸出墊直接輸出時脈的特殊電路，也可利用本發明之精神，於資料路徑上產生/輸出一個與時脈同步變化的等效訊號。另外，本發明也在圖七A、七B、圖八A、八B及圖九A、九B中討論了如何利用資料路徑上的輸出時脈來在異頻運作的電路模組間進行



五、發明說明 (25)

資料訊號的處理及轉換，以使得資料訊號中的資訊能正確地被解讀。而上述資料訊號處理、轉換的方法皆能用來處理連續 (burst) 資料，增加訊號傳輸的效率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一 A、一 B 為一習知訊號電路在不同的電路設計階段時功能方塊之示意圖。

圖二為圖一 A、一 B 中一典型正反器在時脈觸發下輸出入訊號波形時序之示意圖。

圖三 A、三 B 為習知技術中在兩不同時脈運作電路間處理訊號傳輸時相關訊號之波形時序之示意圖。

圖四為本發明訊號電路中於資料路徑上產生輸出時脈之功能方塊示意圖。

圖五為圖四中訊號電路運作時相關訊號波形時序之示意圖。

圖六為圖四中時脈模組另一實施例功能方塊之示意圖。

圖七 A 為本發明在一訊號電路的兩異頻電路模組間進行訊號轉換之功能方塊示意圖。

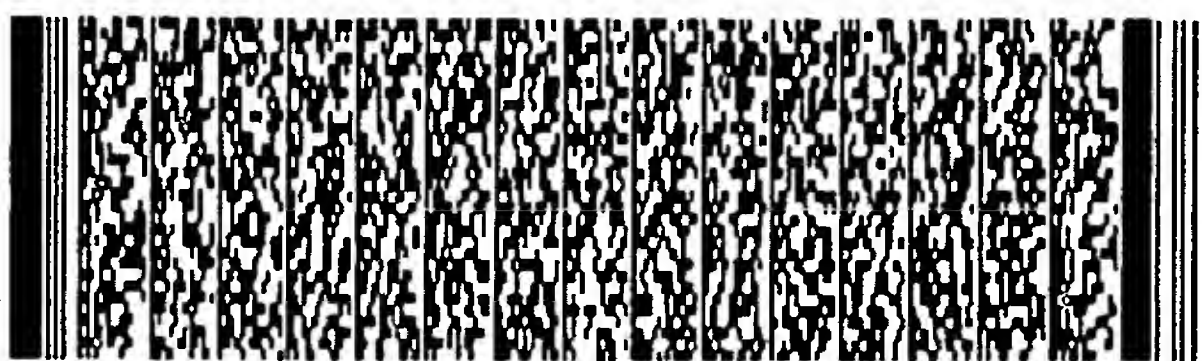
圖七 B 為圖七 B 中訊號電路運作時相關訊號波形時序之示意圖。

圖八 A 為本發明在另一訊號電路的兩異頻電路模組間進行訊號轉換之功能方塊示意圖。

圖八 B 為圖八 A 中訊號電路運作時相關訊號波形時序之示意圖。

圖九 A 為本發明在又一訊號電路的兩異頻電路模組間進行訊號轉換之功能方塊示意圖。

圖九 B 為圖九 A 中訊號電路運作時相關訊號波形時序之示

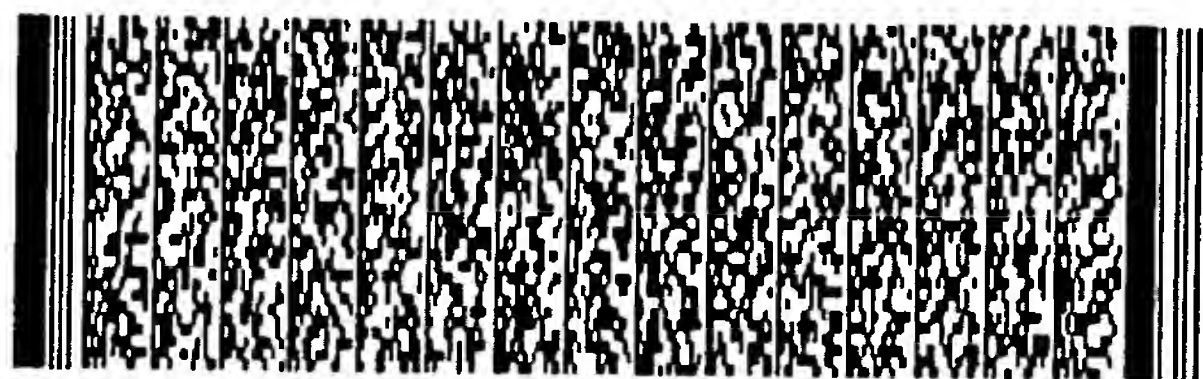


圖式簡單說明

意圖。

圖式之符號說明

- 10、30、50、80、100、120 訊號電路
- 12、52 邏輯陣列
- 13A、53A 輸入埠
- 13B、53B 輸出埠
- 14、14A-14B、54、64A-64D、140 正反器
- 15、55、142 時脈端
- 16、56 時脈控制電路
- 18A、58A 源時脈
- 18B、58B 參考時脈
- 19A、96 及閘
- 19B、59A 或閘
- 20、28A-28B、36、38、40、42、46、48、66A-66C 訊號
- 22、62 輸出墊
- 24 緩衝器
- 26A-26C 分支
- 59B 互斥或閘
- 32A-32B、82A-82B、102A-102B、122A-122B 電路模組
- 34A-34B、84A-84B、104A-104B、124A-124B 時脈
- 58C、84C、104C、124C 輸出時脈
- 70、86、106、126 時脈模組



圖式簡單說明

129 參考訊號

88A-88B、108A-108D、128A-128B 控制訊號

90A-90B、110A-110D、130A-130B 資料訊號

92A-92B、94A-94B、112A-112D、114A-114D、116A-
116D、132A-132B、134A-134B 資料

T1-T3 週期

S、R、D 輸入端

Q、Q' 輸出端

H、L 位準

tp0-tp12、t0-t7、ta0-ta4、tb0-tb12、tc0-tc6 時點



六、申請專利範圍

1. 一種時脈電路，用來根據一參考時脈以於資料路徑上提供一輸出時脈，該參考時脈中有複數個週期的訊號，每一週期中的訊號有一升緣及一降緣，該時脈電路包含有：

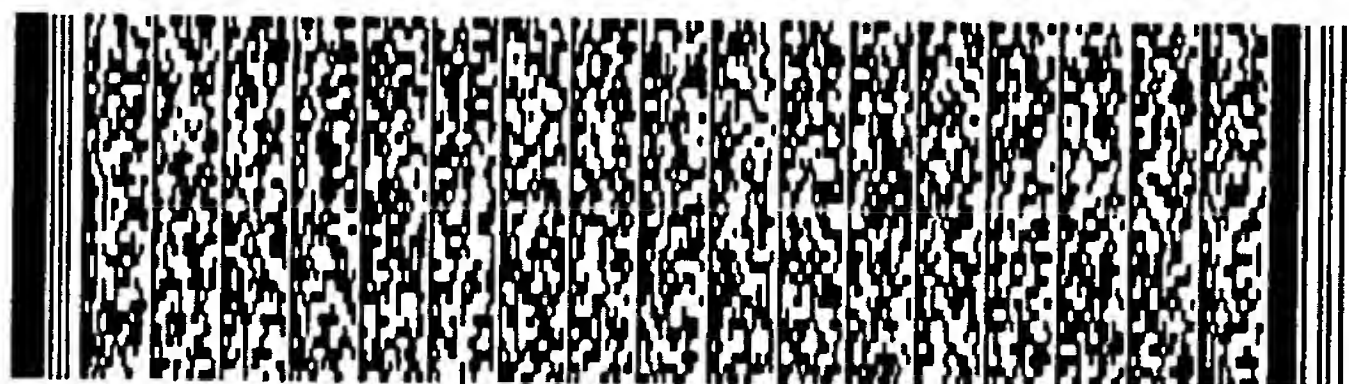
一第一正反器，其設有一第一時脈端，該第一正反器可由該第一時脈端因應於一參考時脈的觸發以產生一第一訊號，其中該第一正反器可於該參考時脈之每一升緣發生時，改變該第一訊號之位準；

一第二正反器，其設有一第二時脈端，該第二正反器可由該第二時脈端接收該參考時脈的觸發以產生一第二訊號，其中該第二正反器係於該參考時脈之每一降緣發生時，改變該第二訊號之位準；以及

一邏輯模組，用來對該第一訊號及該第二訊號進行邏輯運算以產生該輸出時脈。

2. 如申請專利範圍第1項之時脈電路，其中當該第一正反器隨該參考時脈中之該每一升緣而改變該第一訊號之位準時，若該第一訊號之位準在一升緣發生前為一第一位準，則該第一正反器會在該升緣發生後使該第一訊號之位準改變為一第二位準。

3. 如申請專利範圍第2項之時脈電路，其中若該第一訊號之位準在該升緣發生前為該第二位準，該第一正反器會在該升緣發生後使該第一訊號之位準改變為該第一位



六、申請專利範圍

準。

4. 如申請專利範圍第1項之時脈電路，其中當該第二正反器隨該參考時脈中之每一降緣而改變該第二訊號之位準時，若該第二訊號之位準在一降緣發生前為一第一位準，則該第二正反器會在該降緣發生後使該第二訊號之位準改變為一第二位準。

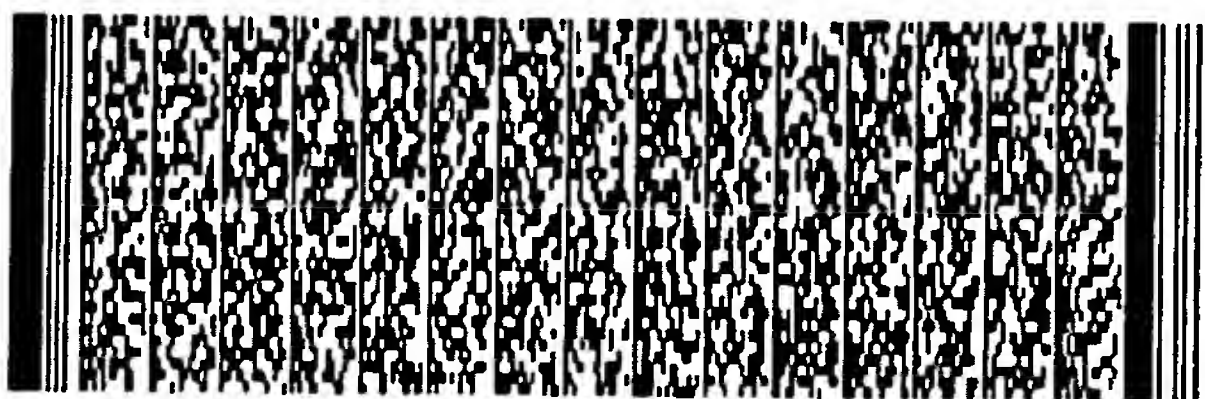
5. 如申請專利範圍第4項之時脈電路，其中若該第二訊號之位準在該降緣發生前為該第二位準，該第二正反器會在該降緣發生後使該第二訊號之位準改變為該第一位準。

6. 如申請專利範圍第1項之時脈電路，其中該邏輯模組包含一互斥或閘，以根據該第一訊號及該第二訊號進行互斥或運算的結果產生該輸出時脈。

7. 如申請專利範圍第1項之時脈電路，其中該時脈電路另包含有複數個輸出墊(output pad)，用來輸出該時脈電路提供的訊號，以使該參考時脈不會由任何一輸出墊輸出。

8. 一種訊號電路，其包含有：

一第一電路模組，用來根據一輸入訊號提供一輸出訊



六、申請專利範圍

號；該第一電路模組包含有：

- 一第一正反器，其設有一第一時脈端，該第一正反器可由該第一時脈端接收一參考時脈的觸發以產生一第一訊號，該參考時脈中有複數個週期的訊號，每一週期中的訊號有一升緣及一降緣，其中該第一正反器可於該參考時脈之每一升緣發生時，改變該第一訊號的位準；
- 一第二正反器，其設有一第二時脈端，該第二正反器可由該第二時脈端接收該參考時脈的觸發以產生一第二訊號，該第二正反器係於該參考時脈之每一降緣發生時，改變該第二訊號的位準；
- 一第一邏輯模組，用來對該第一訊號及該第二訊號進行邏輯運算以產生一輸出時脈；以及
- 一第二邏輯模組，用來對該輸入訊號與該輸出時脈作邏輯運算，以產生該輸出訊號。

9. 如申請專利範圍第8項之訊號電路，其中該輸入訊號包含有複數筆資料，每一筆資料對應於該參考時脈的一個週期。

10. 如申請專利範圍第8項之訊號電路，其中該第二邏輯模組係用來將該輸入訊號與該輸出時脈作一及運算。

11. 如申請專利範圍第8項之訊號電路，其中該第一邏輯模組在產生該輸出時脈時，係使該輸出時脈中具有複數

六、申請專利範圍

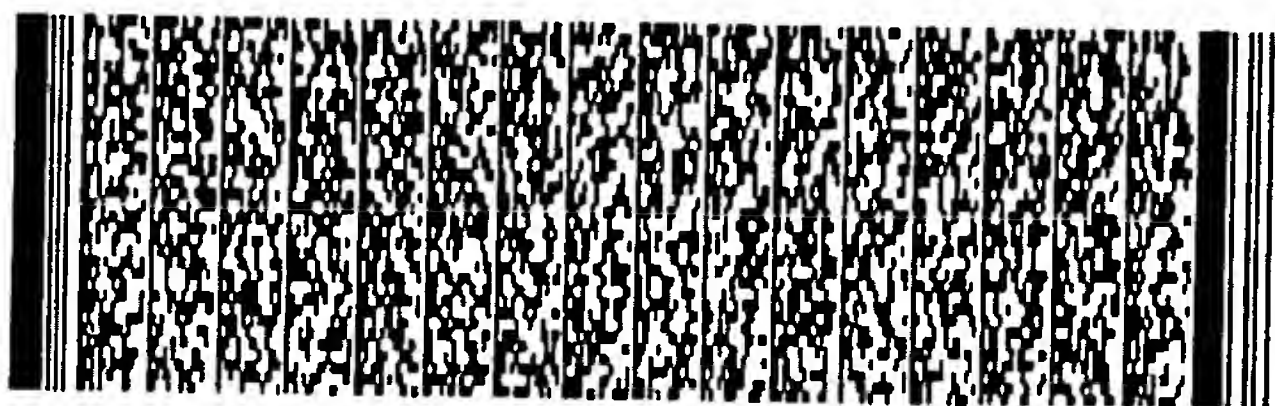
個週期，各該輸出時脈之週期對應於該參考時脈中的一週期，以使得該輸出時脈與該參考時脈同步。

12. 如申請專利範圍第11項之訊號電路，其中當要使該輸出時脈之週期對應於該參考時脈中的一週期時，係使得該輸出時脈的每一週期中，該輸出時脈之位準會在一段預設時段內維持於一段預設位準，而該預設時段的時間長度不大於該輸出時脈的一週期。

13. 如申請專利範圍第12項之訊號電路，其中該輸入訊號包含有複數筆輸入資料，每一筆輸入資料對應於該參考時脈的一個週期，該第二邏輯模組在進行邏輯運算時，係使該輸出訊號具有複數筆輸出資料，每一筆該輸出資料對應於該輸出時脈的一個週期。

14. 如申請專利範圍第13項之訊號電路，其中每一筆輸出資料中有一第一子輸出資料及一第二子輸出資料，每一該第一子輸出資料的內容對應於該輸入資料中一筆輸入資料的內容，每一該第二子輸出資料持續的時間對應於該輸出時脈一週期中的該預設時段。

15. 如申請專利範圍第14項之訊號電路，其另包含有：一第二電路模組，用來根據一第二參考時脈的觸發而接收該輸出訊號；



六、申請專利範圍

其中該第二參考時脈中具有複數個週期，當該第二邏輯模組使每一該第一子輸出資料對應於該輸入資料中的一筆輸入資料時，係使該第一子輸出資料延續的時間對應於該第二參考時脈中一週期的時間。

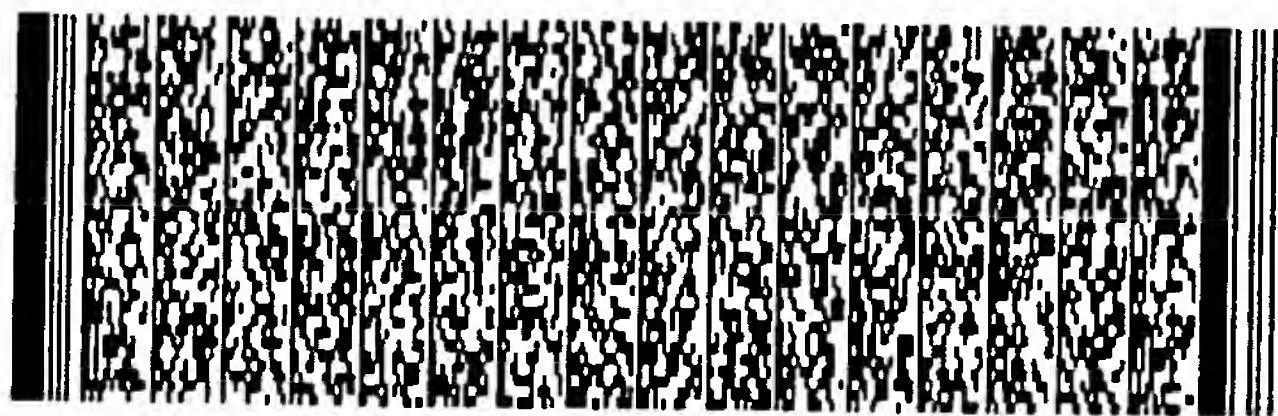
16. 如申請專利範圍第15項之訊號電路，其中當該第二邏輯模組使每一該第二子輸出資料對應於該輸出時脈的一週期中的該預設時段時，係使該第二子輸出資料延續的時間對應於該第二參考時脈中至少一週期的時間。

17. 一種根據一參考時脈以於資料路徑上提供一輸出時脈的方法，其包含有：

根據一參考時脈的觸發以產生一第一訊號，以在該參考時脈之每一升緣發生時，改變該第一訊號之位準；

根據該參考時脈的觸發以產生一第二訊號，以在該參考時脈之每一降緣發生時，改變該第二訊號之位準；以及對該第一訊號及該第二訊號進行邏輯運算以產生該輸出時脈。

18. 如申請專利範圍第17項之方法，其中當根據該參考時脈之每一該升緣改變該第一訊號之位準時，若該第一訊號之位準在該升緣發生前為一第一位準，則在該升緣發生後使該第一訊號之位準改變為一第二位準。



六、申請專利範圍

19. 如申請專利範圍第18項之方法，若該第一訊號之位準在該升緣發生前為該第二位準，則在該升緣發生後使該第一訊號之位準改變為該第一位準。

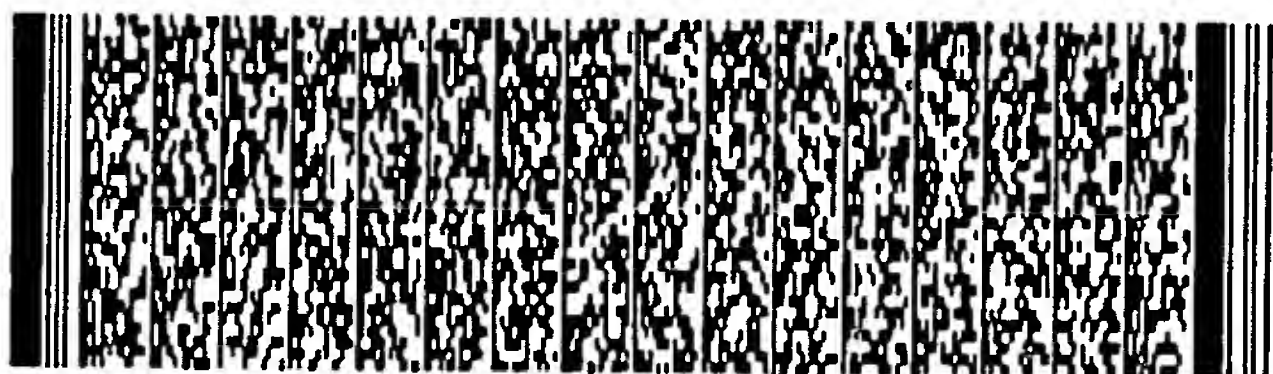
20. 如申請專利範圍第17項之方法，其中當根據該參考時脈之每一該降緣改變該第二訊號之位準時，若該第二訊號之位準在該降緣發生前為一第一位準，則在該升緣發生後使該第二訊號之位準改變為一第二位準。

21. 如申請專利範圍第20項之方法，若該第二訊號之位準在該升緣發生前為該第二位準，則在該升緣發生後使該第二訊號之位準改變為該第一位準。

22. 如申請專利範圍第17項之方法，其中當對該第一訊號及該第二訊號進行邏輯運算以產生該輸出時脈時，係根據該第一訊號及該第二訊號進行互斥或運算的結果產生該輸出時脈。

23. 如申請專利範圍第17項之方法，更包含有：在產生該輸出時脈之前，利用該第一訊號之週期與該第二訊號之週期間的比例關係以產生一參考訊號之步驟，以使該參考訊號之工作週與該輸出時脈之工作週相異。

24. 一種進行訊號處理的方法，用以將一對應於一參考



六、申請專利範圍

時脈的輸入訊號轉換為一對應於一第二參考時脈的輸出訊號，該方法包含有：

根據一參考時脈的觸發產生一第一訊號，以在該參考時脈之每一升緣發生時，改變該第一訊號的位準；

根據該參考時脈的觸發產生一第二訊號，以在該參考時脈之每一降緣發生時，改變該第二訊號的位準；

對該第一訊號及該第二訊號進行一第一邏輯運算，以產生一輸出時脈；以及

對該輸入訊號與該輸出時脈進行一第二邏輯運算，以產生該輸出訊號。

25. 如申請專利範圍第24項之方法，其另包含有接收該輸入訊號之步驟，其中該輸入訊號中包含有複數筆資料，每一筆資料對應於該參考時脈的一個週期。

26. 如申請專利範圍第24項之方法，其中當進行該第二邏輯運算時，係將該輸入訊號與該輸出時脈作一及運算。

27. 如申請專利範圍第24項之方法，其中當進行該第一邏輯運算以產生該輸出時脈時，係使該輸出時脈中具有複數個週期，各週期對應於該參考時脈中的一週期，以使得該輸出時脈與該參考時脈同步，並使得該輸出時脈的每一該週期中，該輸出時脈之位準會在一預設時段內

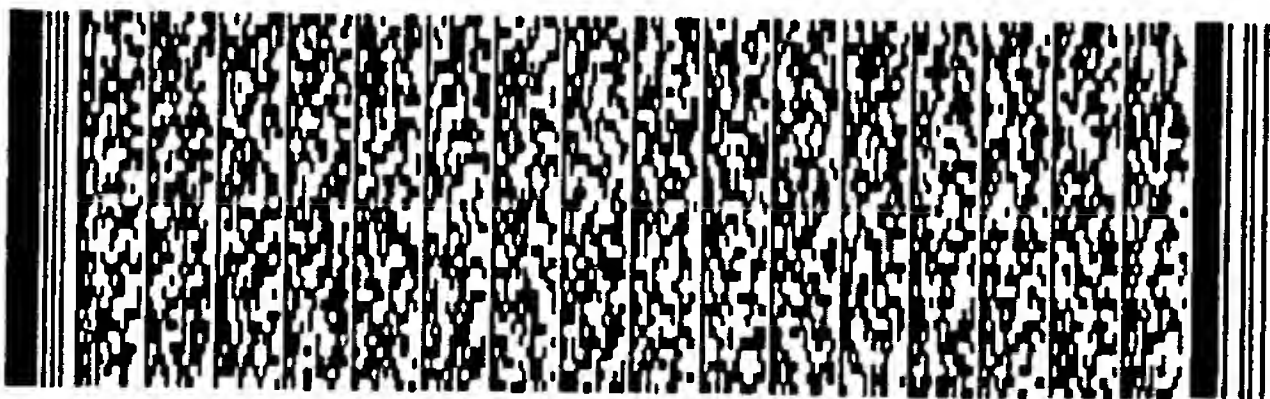
六、申請專利範圍

維持於一預設位準；而該預設時段的時間長度不大於該輸出時脈的一週期。

28. 如申請專利範圍第27項之方法，其中該輸入訊號包含有複數筆輸入資料，每一筆輸入資料對應於該參考時脈的一個週期，在進行該第二邏輯運算時，係使該輸出訊號具有複數筆輸出資料，每一筆該輸出資料對應於該輸出時脈的一個週期，且每一筆輸出資料中有一第一子輸出資料及一第二子輸出資料，每一第一子輸出資料的內容對應於該輸入資料中一筆輸入資料的內容，每一第二子輸出資料持續的時間對應於該輸出時脈一週期中的該預設時段。

29. 如申請專利範圍第28項之方法，其另包含接收該第二參考時脈之步驟，其中該第二參考時脈中有複數個週期，當進行該第二邏輯運算以使每一第一子輸出資料對應於該輸入資料中的一筆輸入資料時，係使該第一子輸出資料延續的時間對應於該第二參考時脈中一週期的時間。

30. 如申請專利範圍第29項之訊號電路，其中當進行該第二邏輯運算以使每一第二子輸出資料對應於該輸出時脈一週期中的該預設時段時，係使該第二子輸出資料延續的時間對應於該第二參考時脈中至少一週期的時間。

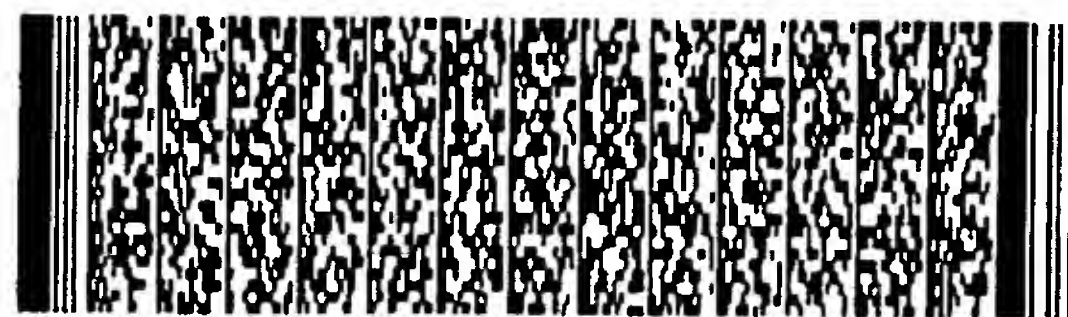
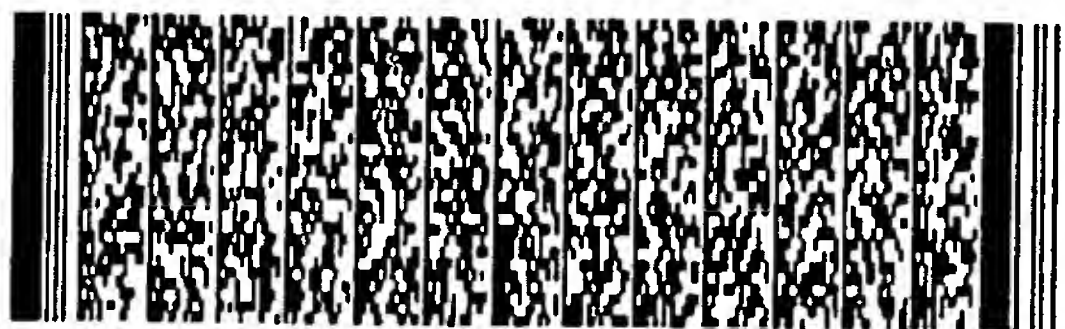


31. 一種時脈電路，用來根據一參考時脈以於資料路徑上提供一輸出時脈，該參考時脈中有一複數個週期的訊號，每一週期中的訊號有一升緣及一降緣，該時脈電路包含有：

一第一邏輯處理單元，其包含一第一時脈端，該第一邏輯處理單元可由該第一時脈端因應於一參考時脈的觸發參以產生一第一訊號，其中該第一邏輯處理單元的可於該參考時脈之每一升緣發生時，改變該第一訊號的位準；一第二邏輯處理單元，其包含一第二時脈端，該第二邏輯處理單元可由該第二時脈端接收該參考時脈的觸發參以產生一第二訊號，其中該第二邏輯處理單元的係於該參考時脈之每一降緣發生時，改變該第二訊號的位準；以及一邏輯模組，用來對該第一訊號及該第二訊號之週期與該第二訊號之週期存在一比例關係。

32. 如申請專利範圍第31項之時脈電路，其中當該第一邏輯處理單元隨該參考時脈中之該每一升緣而改變該第一訊號之位準時，若該第一訊號之位準在升緣發生後使該第一訊號之位準改變為一第二位準。

33. 如申請專利範圍第32項之時脈電路，其中若該第一



六、申請專利範圍

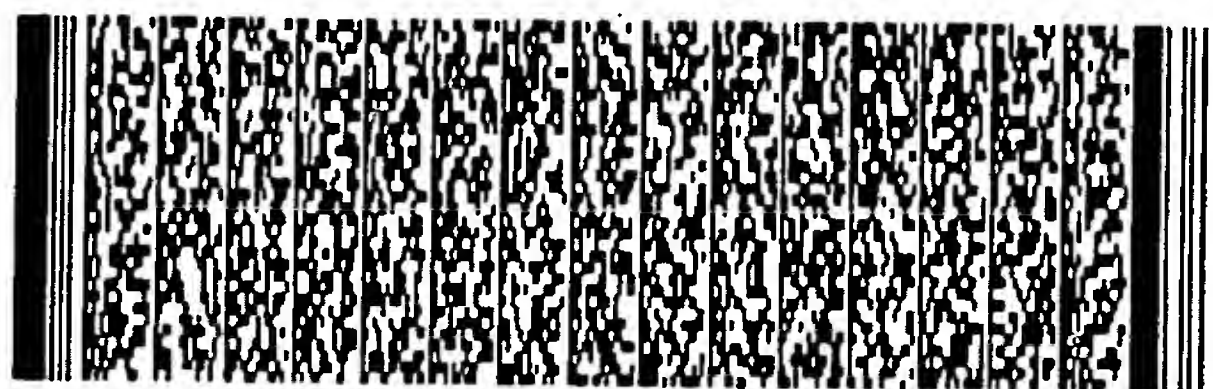
訊號之位準在該升緣發生前為該第二位準，該第一邏輯處理單元會在該升緣發生後使該第一訊號之位準改變為該第一位準。

34. 如申請專利範圍第31項之時脈電路，其中當該第二邏輯處理單元隨該參考時脈中之每一降緣而改變該第二訊號之位準時，若該第二訊號之位準在降緣發生前為一第一位準，則該第二邏輯處理單元會在該降緣發生後使該第二訊號之位準改變為一第二位準。

35. 如申請專利範圍第34項之時脈電路，其中若該第二訊號之位準在該降緣發生前為該第二位準，該第二邏輯處理單元會在該降緣發生後使該第二訊號之位準改變為該第一位準。

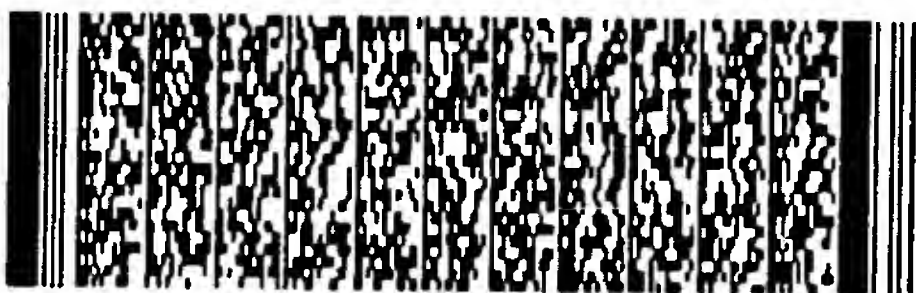
36. 如申請專利範圍第31項之時脈電路，其中該邏輯模組包含一互斥或閘，以根據該第一訊號及該第二訊號進行互斥或運算的結果產生該輸出時脈。

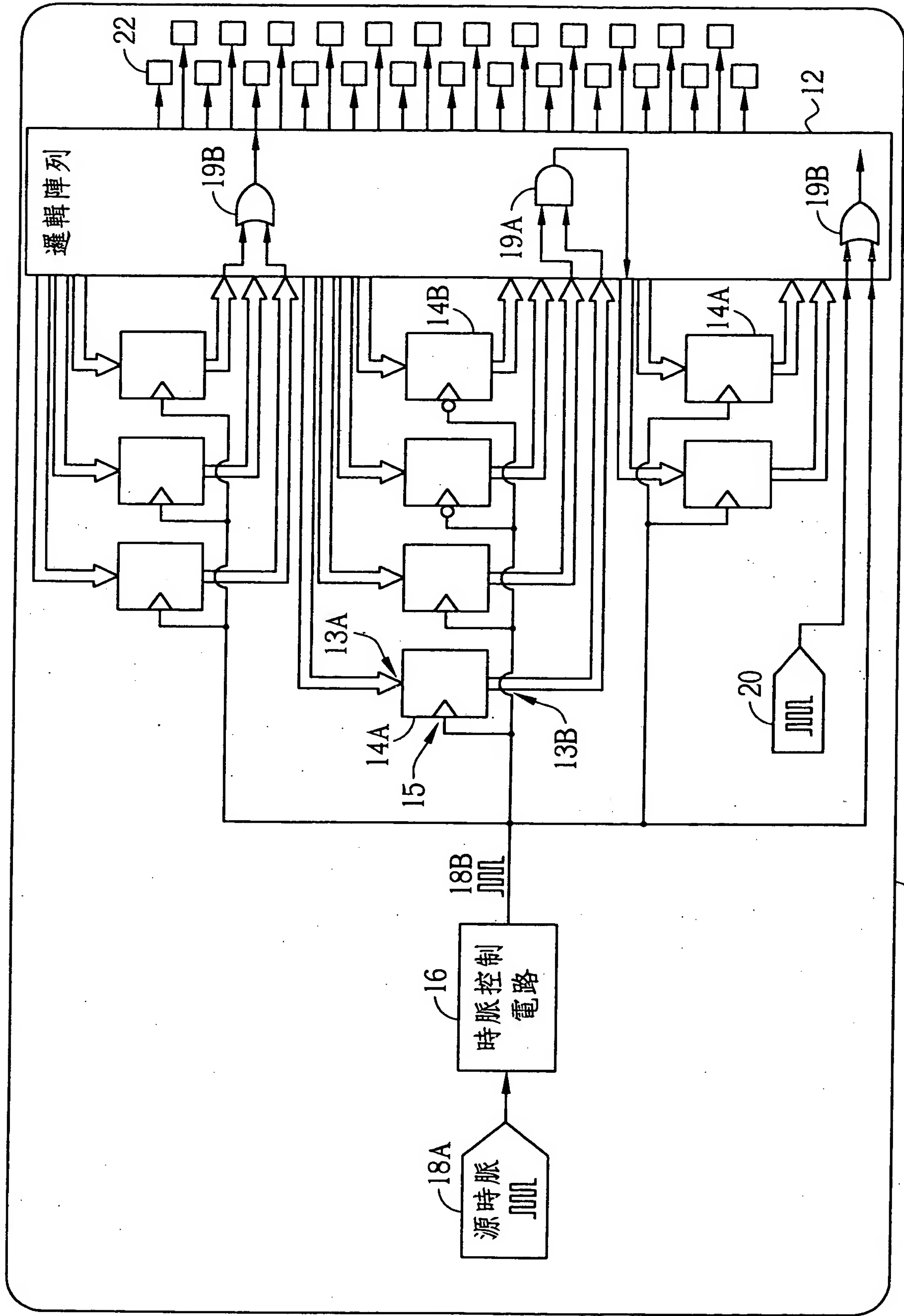
37. 如申請專利範圍第31項之時脈電路，其中該邏輯模組中另包含一第二邏輯模組，用以依據該輸出時脈以產生一參考訊號，且該參考訊號之工作週 (duty cycle) 與該輸出時脈之工作週相異。



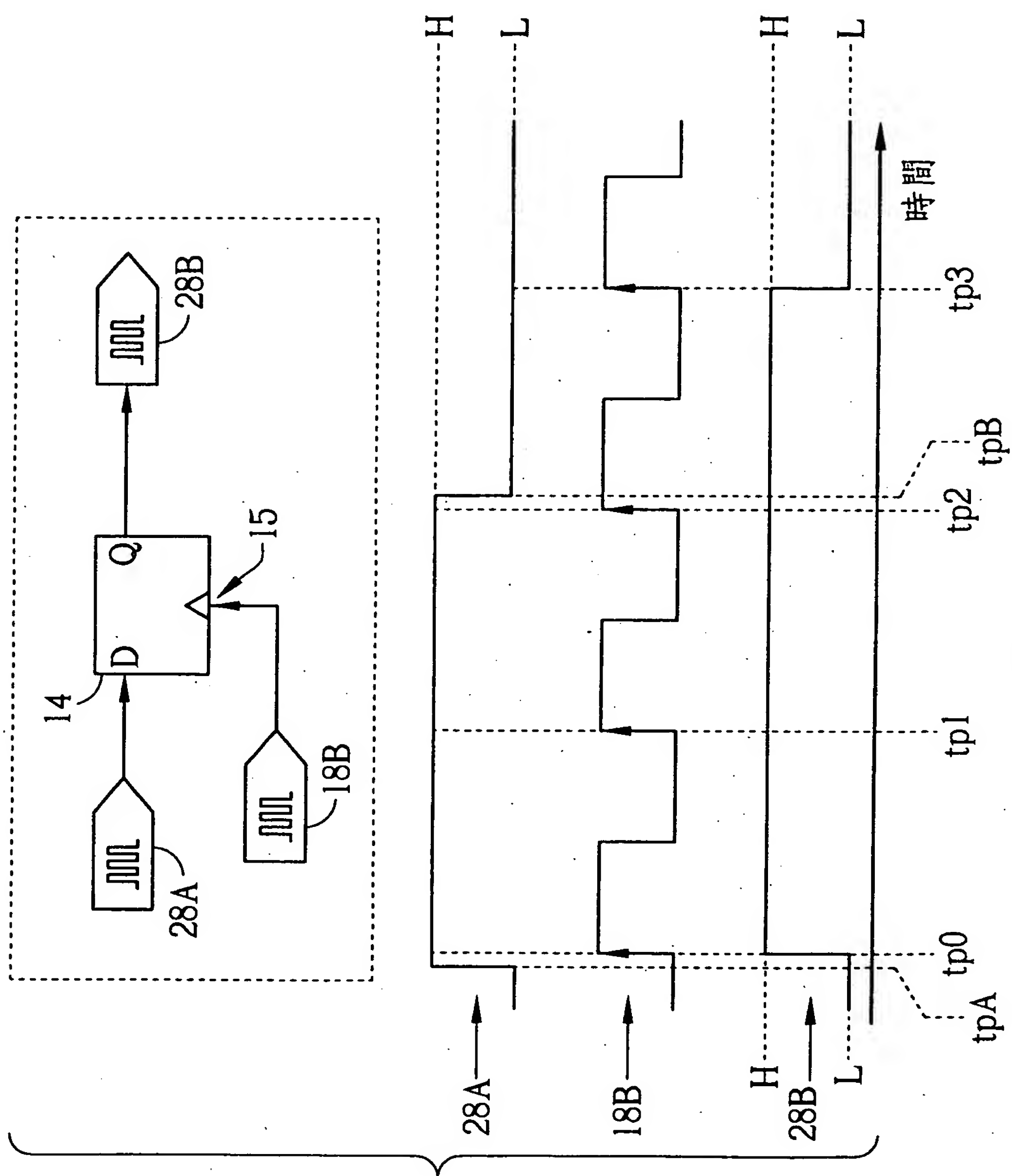
六、申請專利範圍

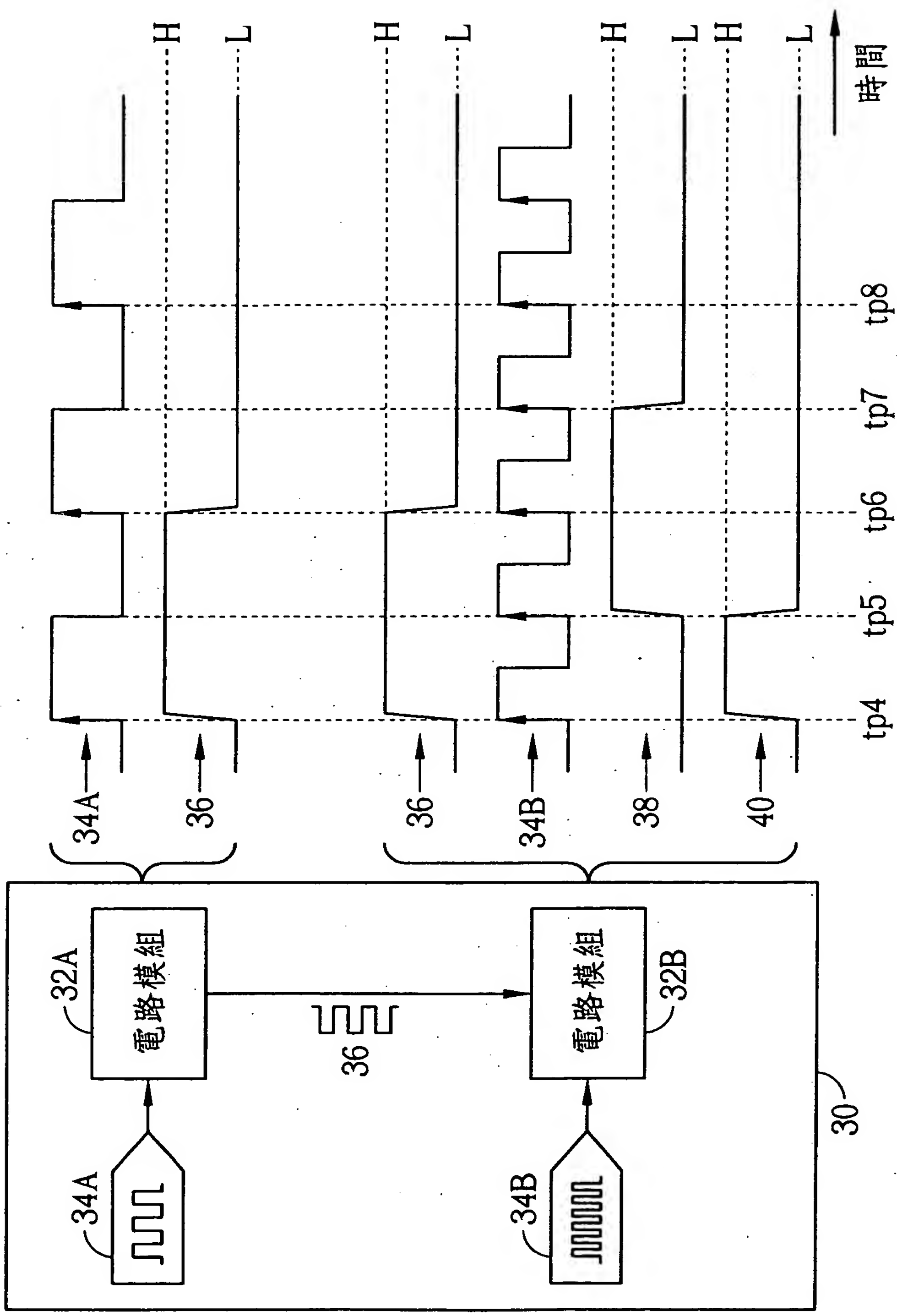
38. 如申請專利範圍第31項之時脈電路，其中該時脈電路另包含有複數個輸出墊(output pad)，用來輸出該時脈電路提供的訊號，以使該參考時脈不會由任何一輸出墊輸出。



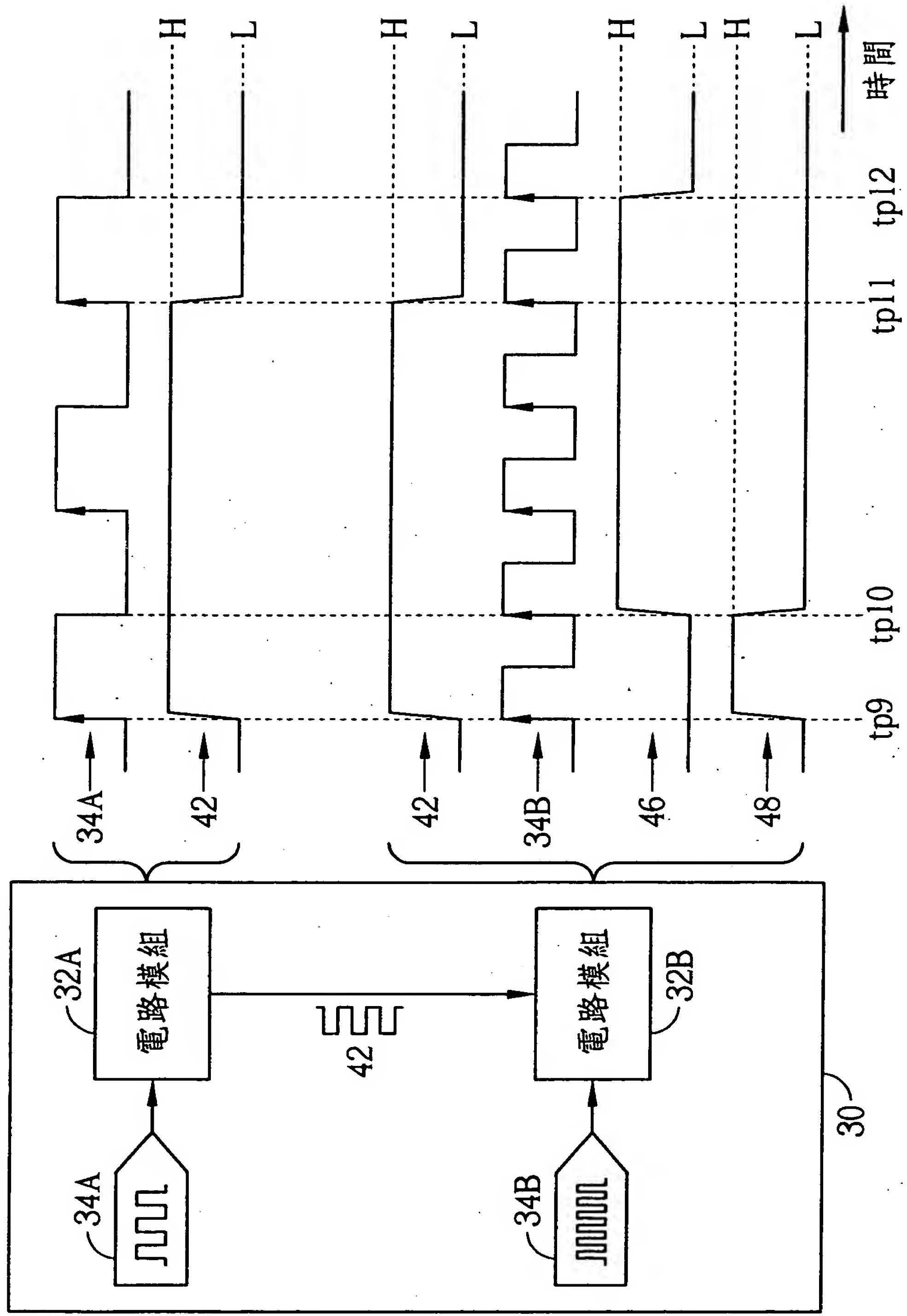


圖一A

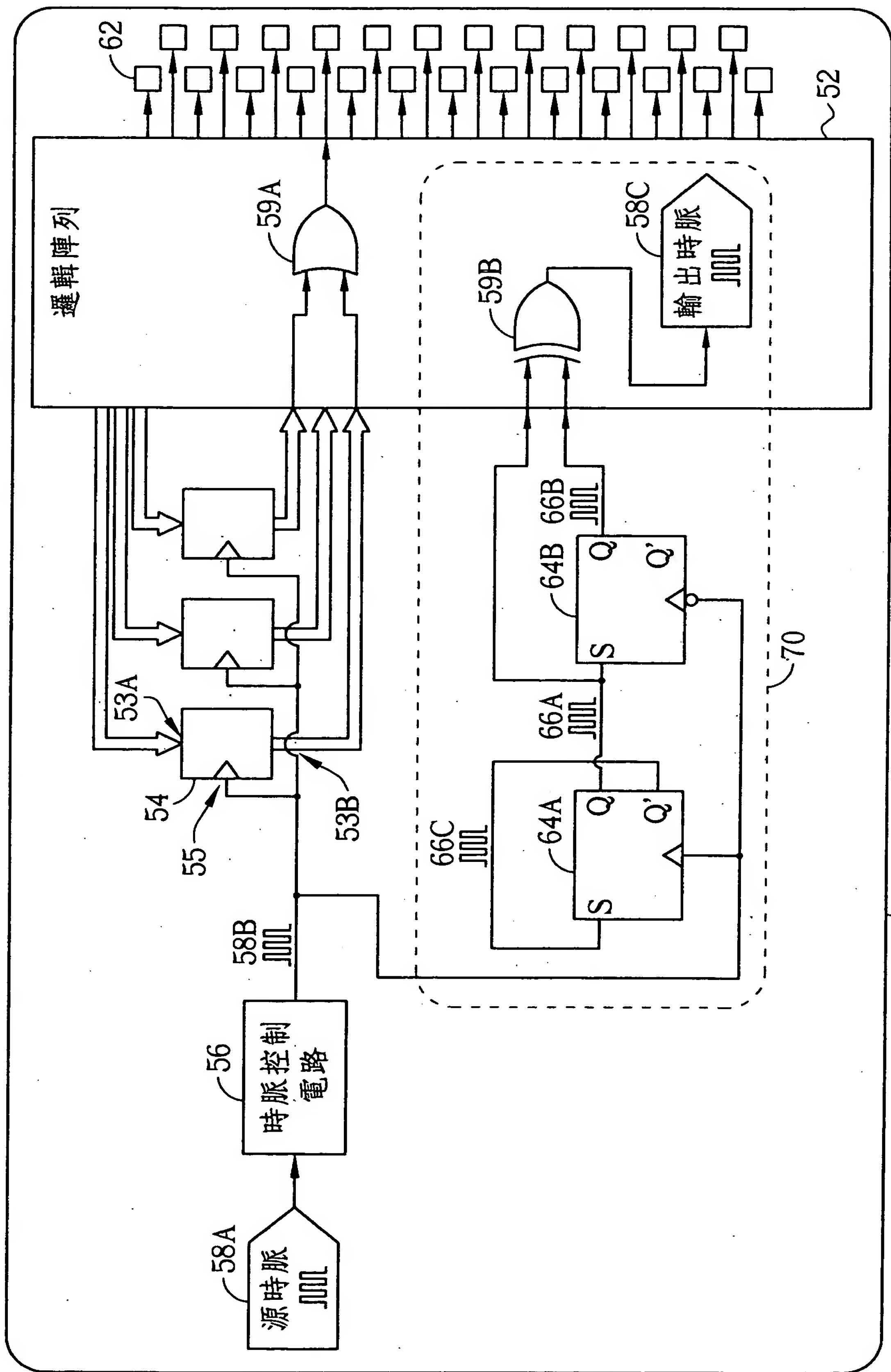




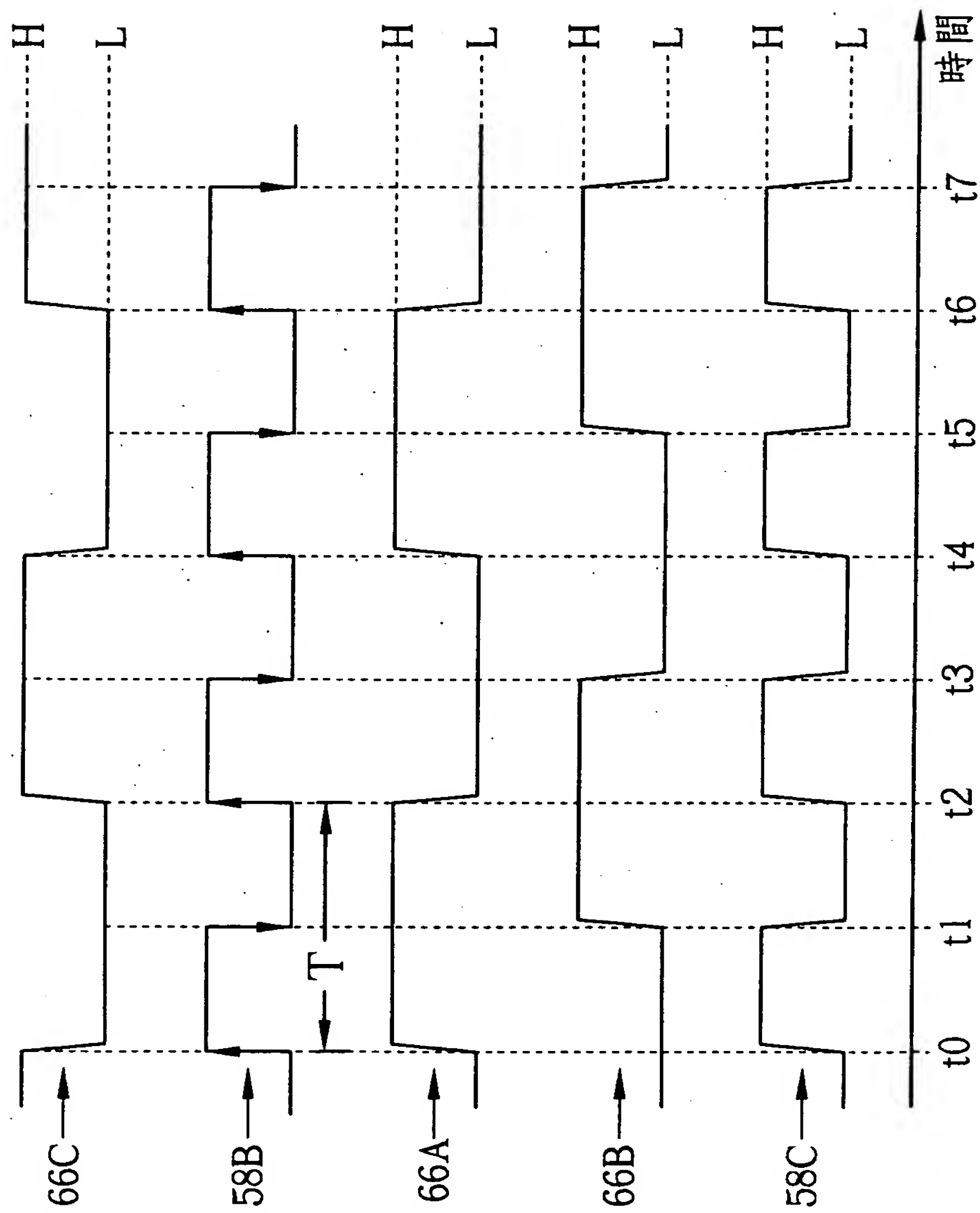
圖三A



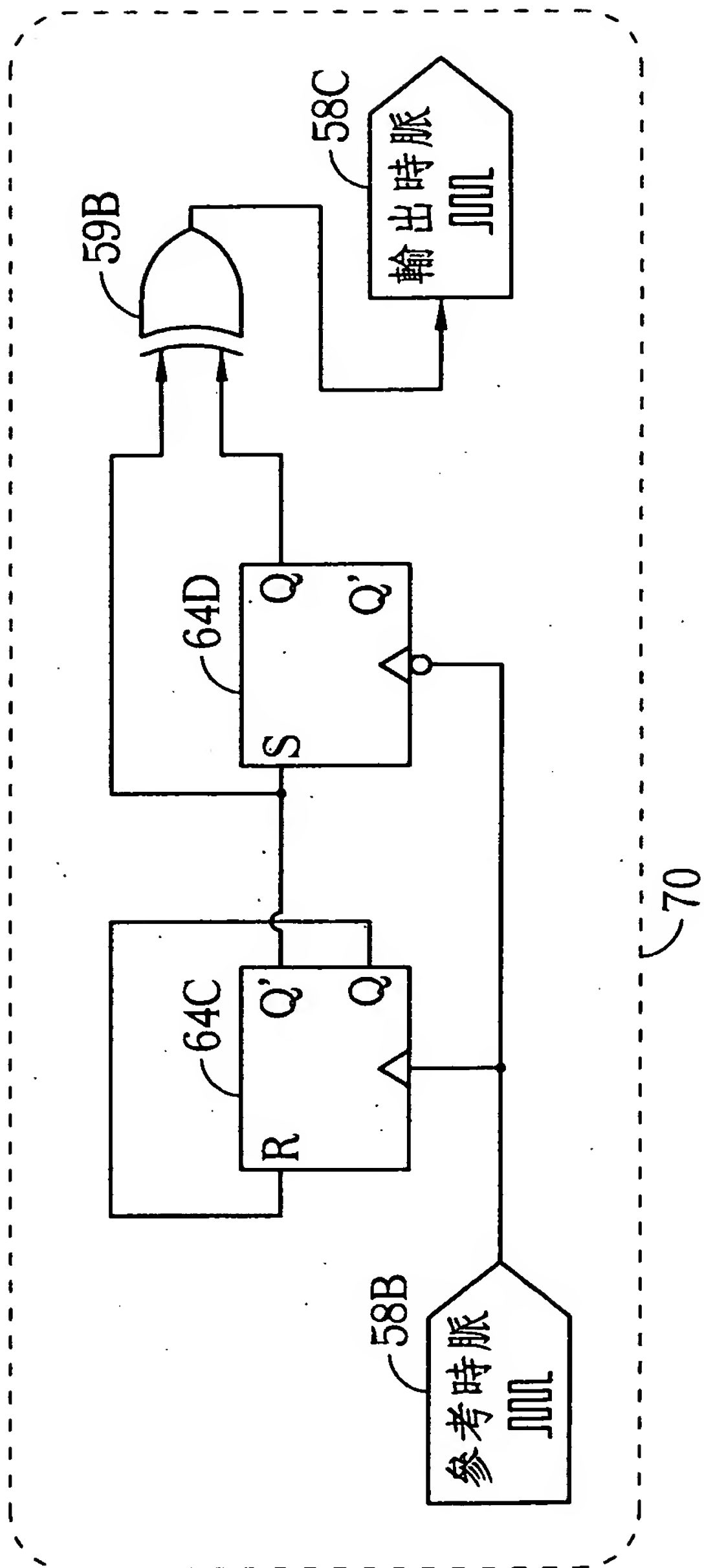
圖三B



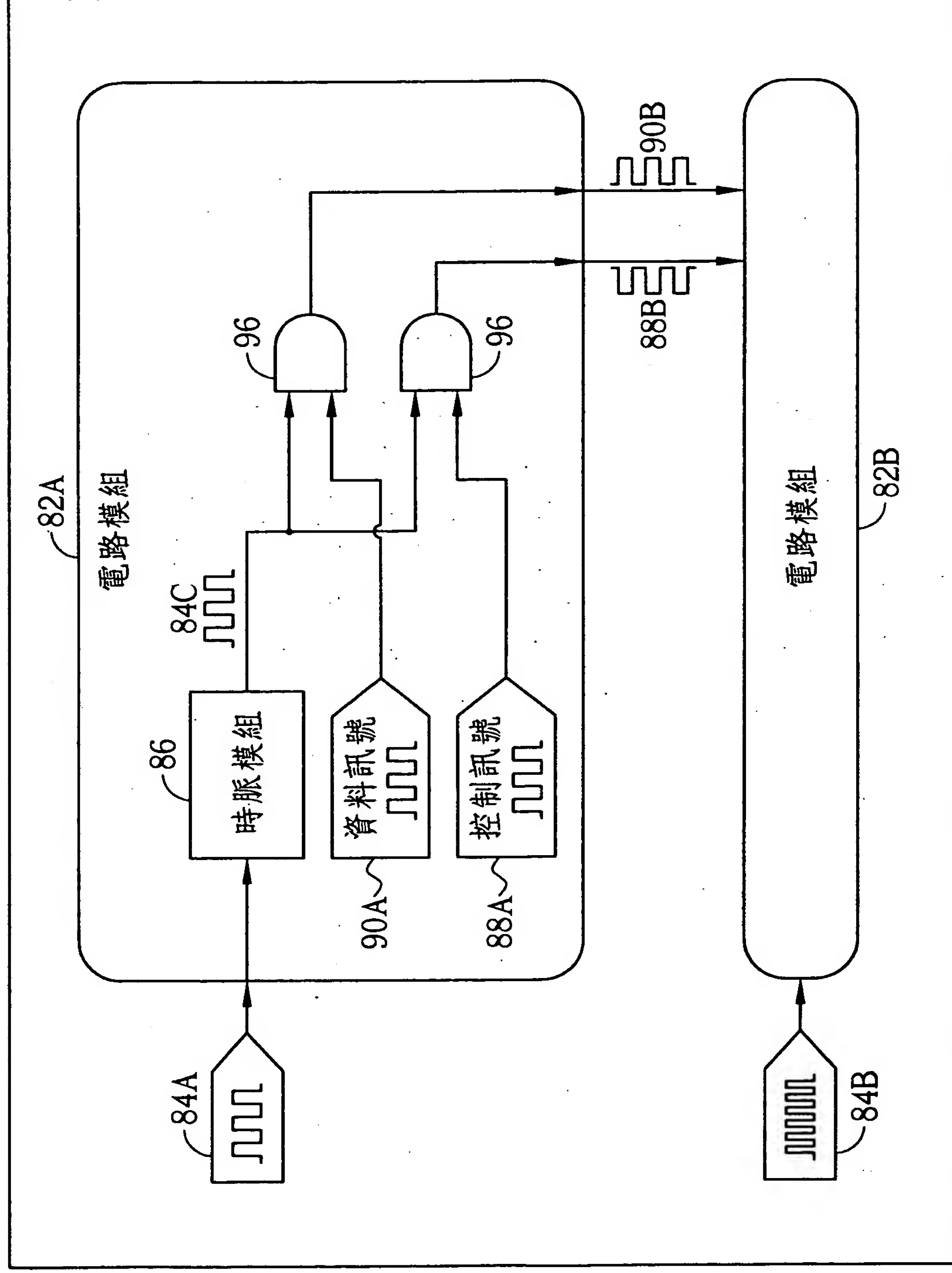
圖四



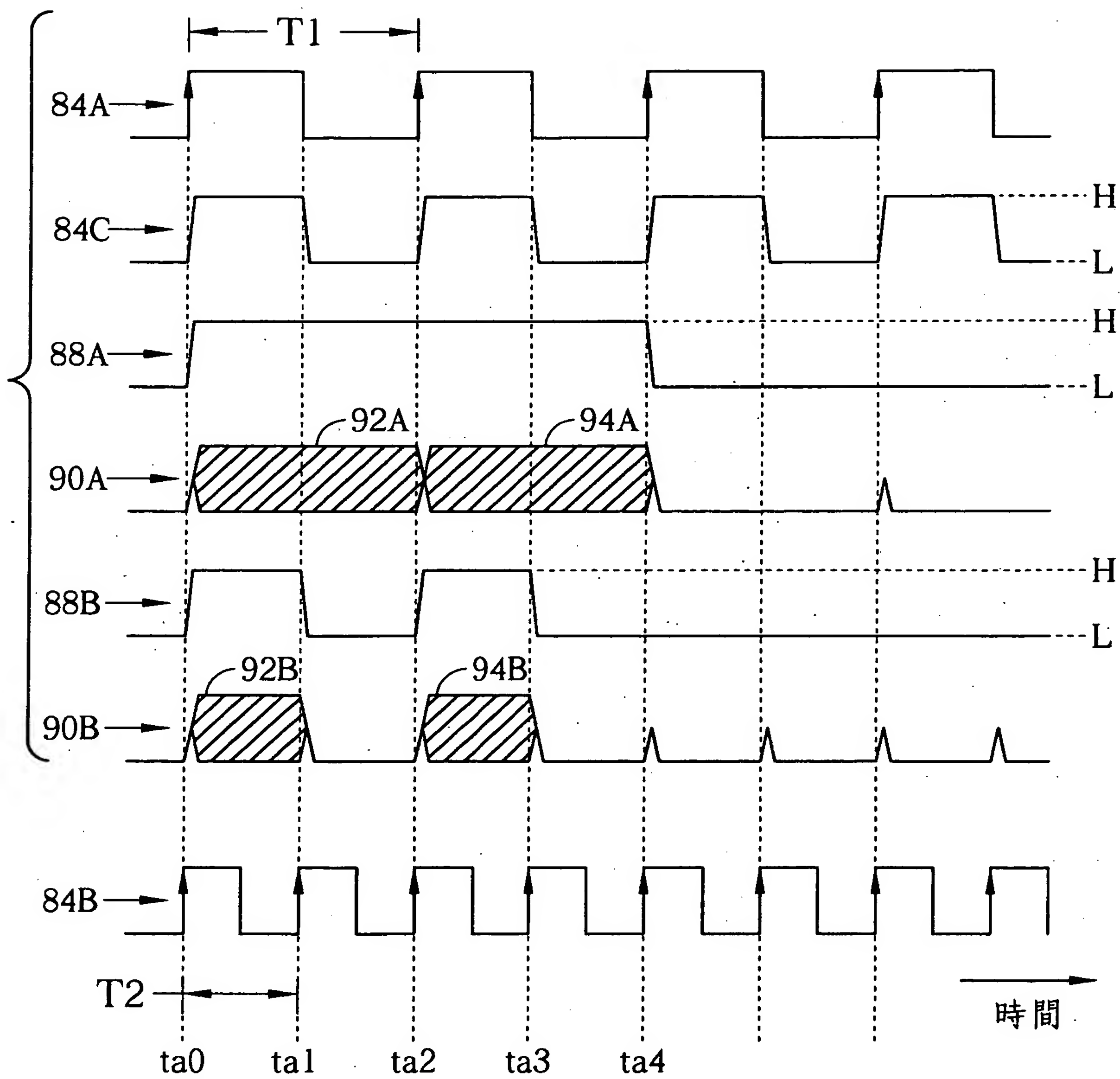
圖五



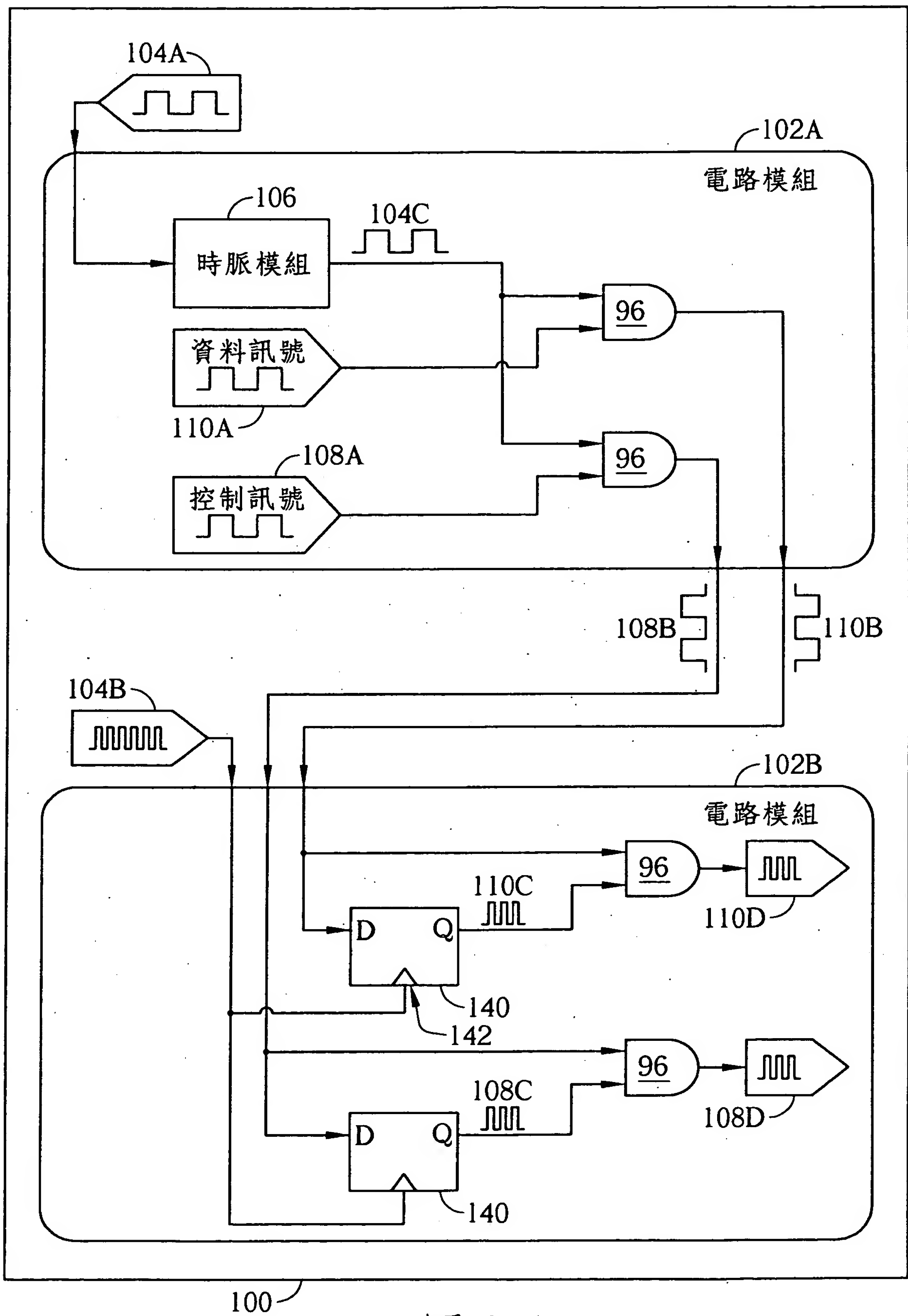
圖六



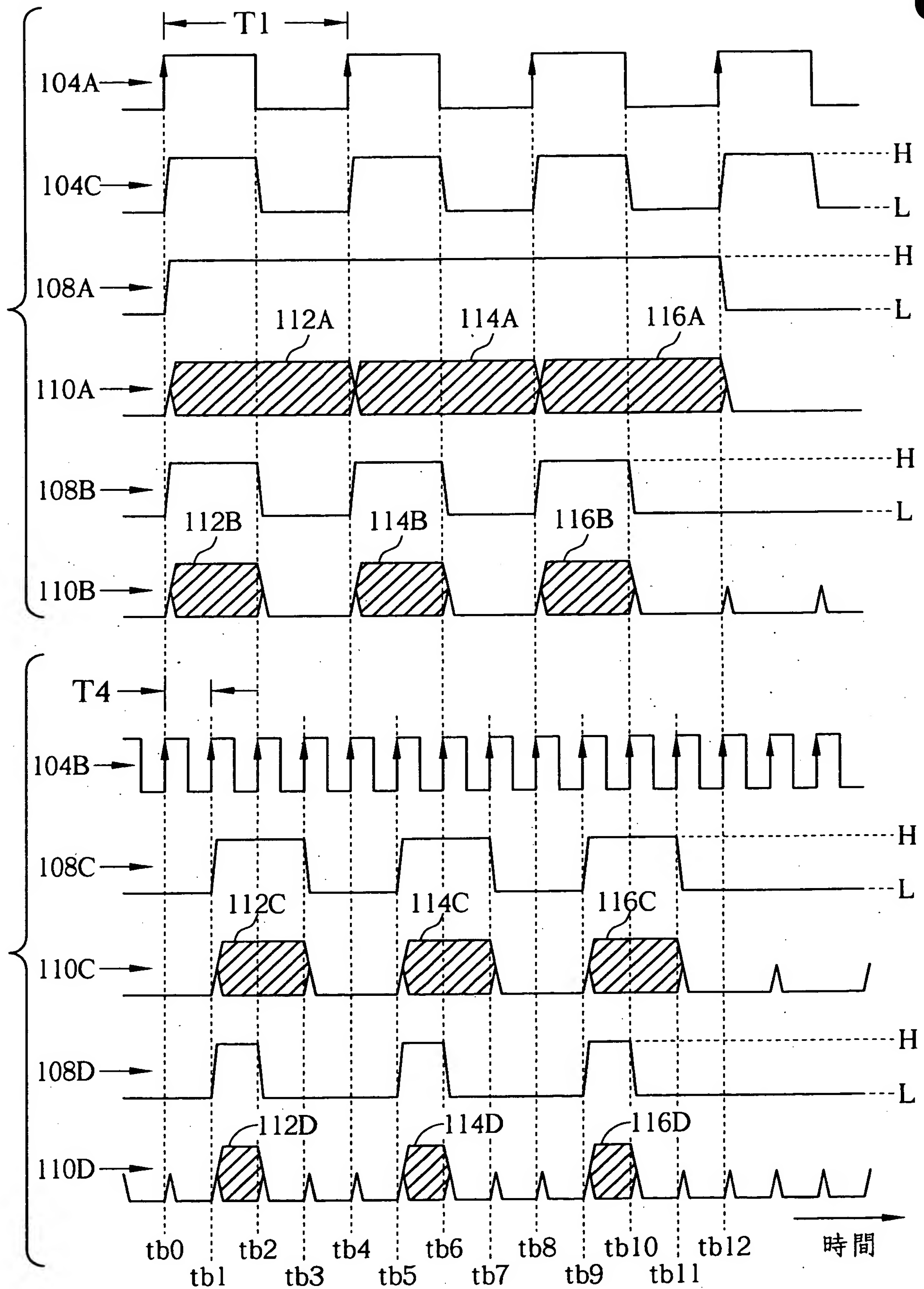
80 圖七A



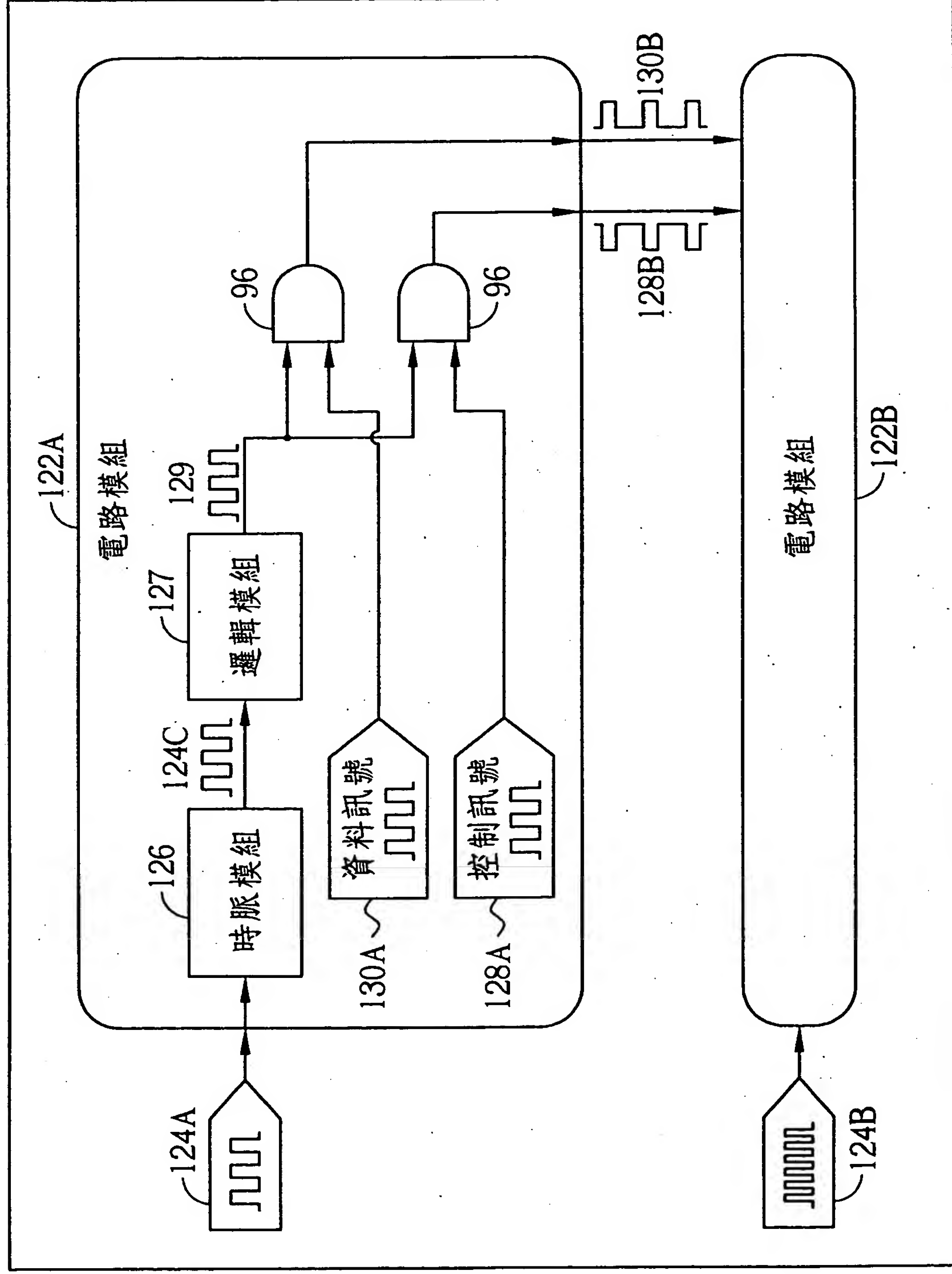
圖七B



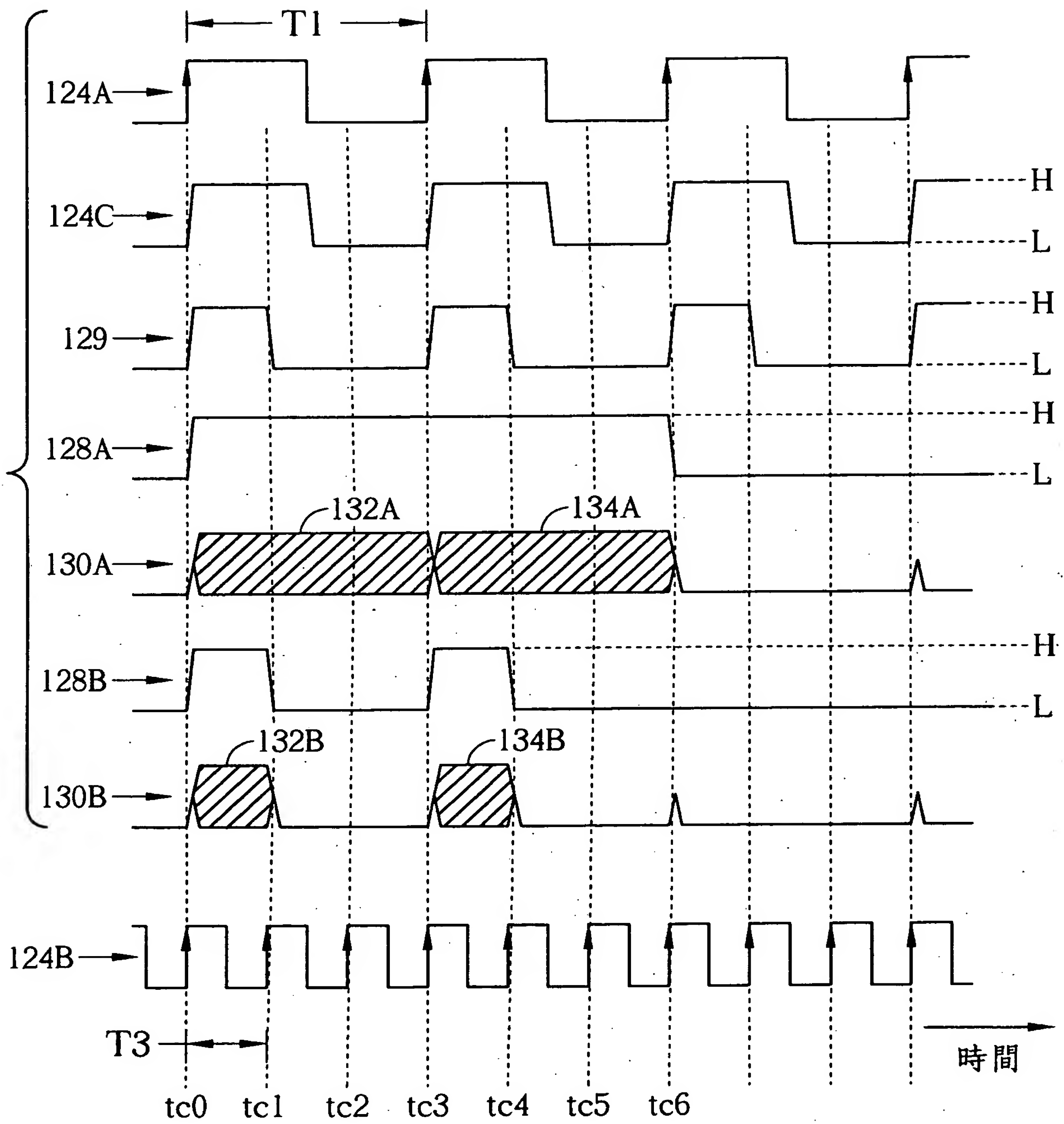
圖八A



圖八B

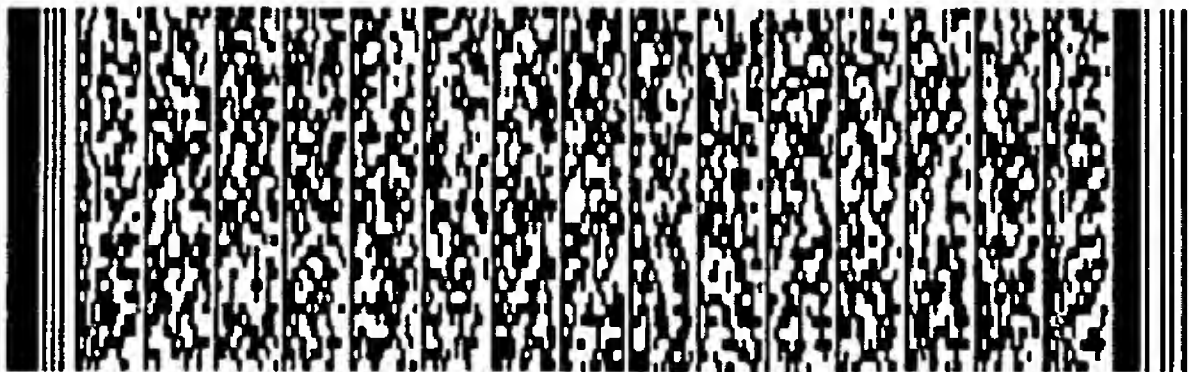


圖九A

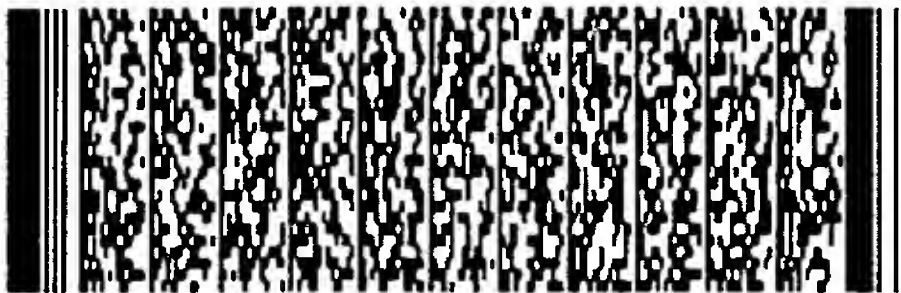


圖九B

第 1/45 頁



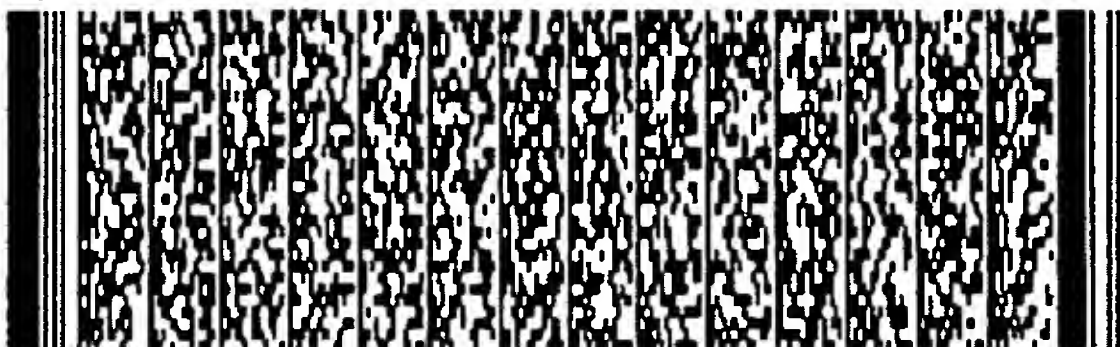
第 2/45 頁



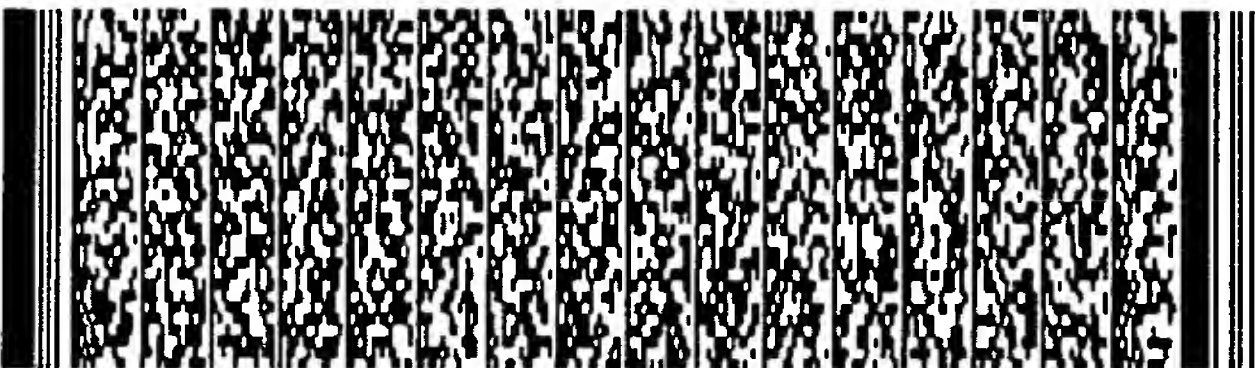
第 3/45 頁



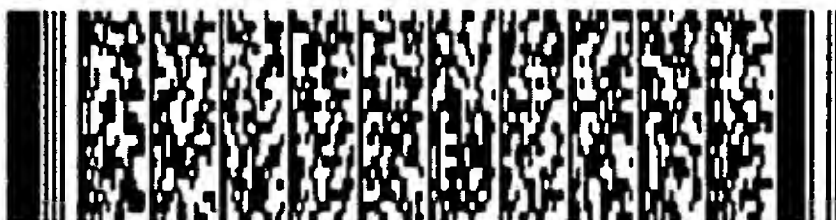
第 3/45 頁



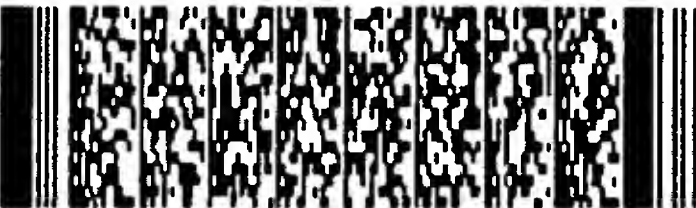
第 4/45 頁



第 5/45 頁



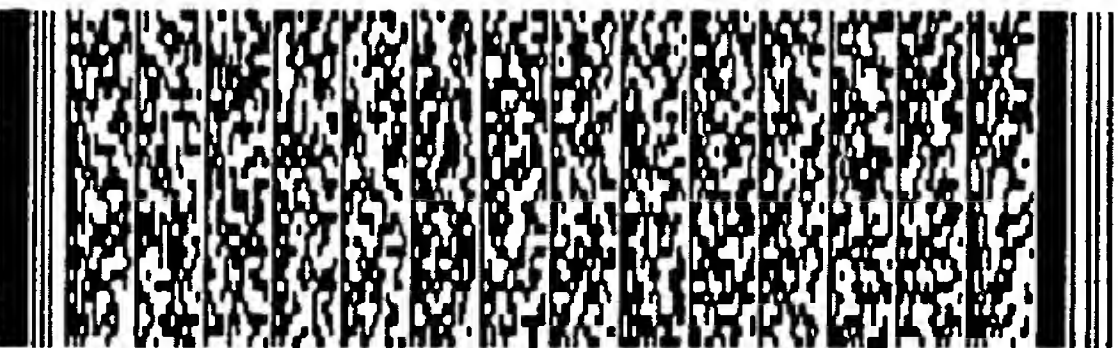
第 6/45 頁



第 7/45 頁



第 7/45 頁



第 8/45 頁



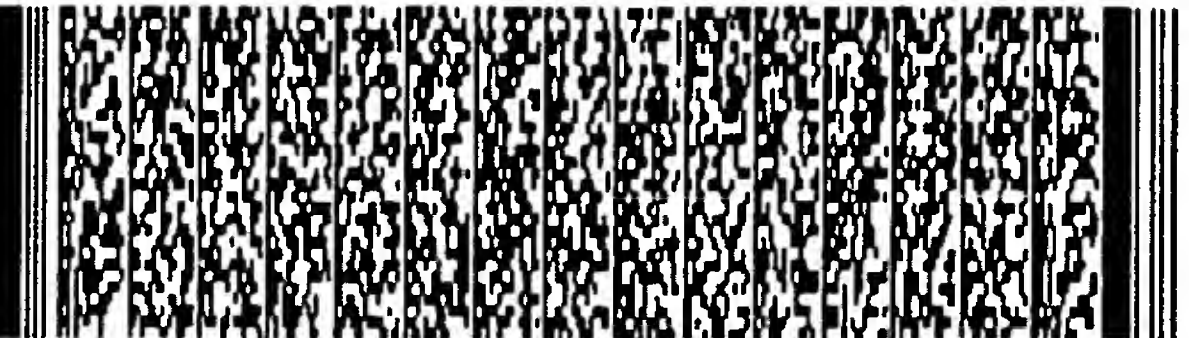
第 8/45 頁



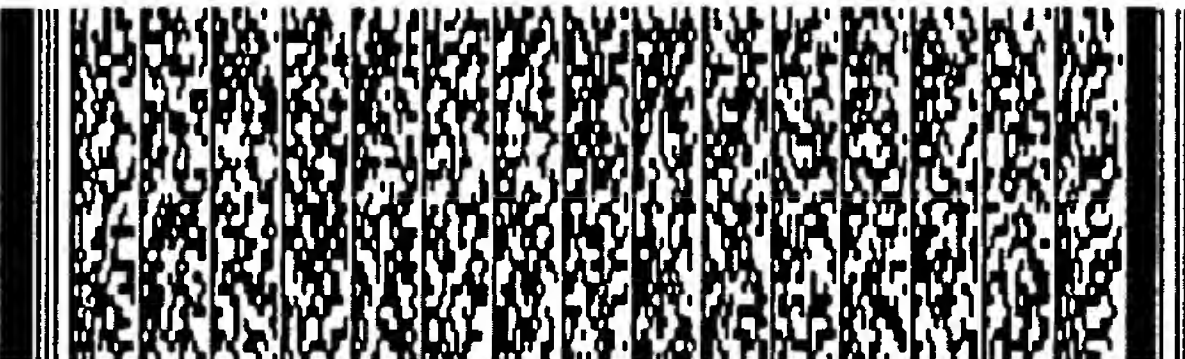
第 9/45 頁



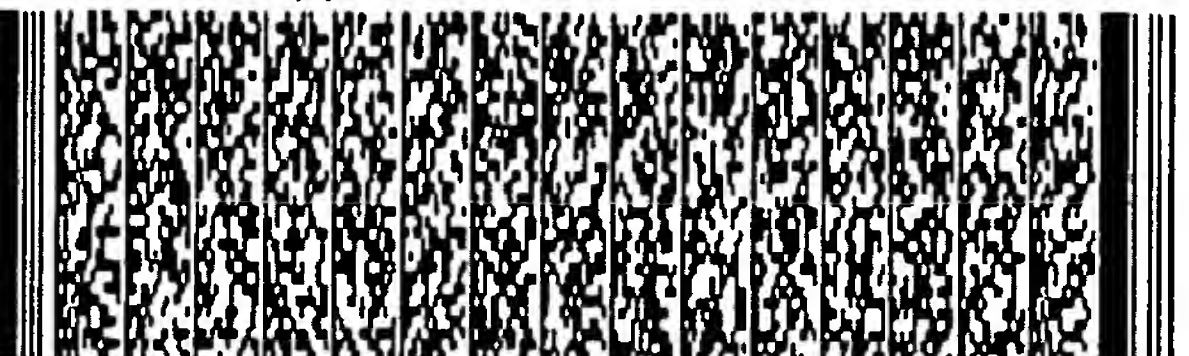
第 9/45 頁



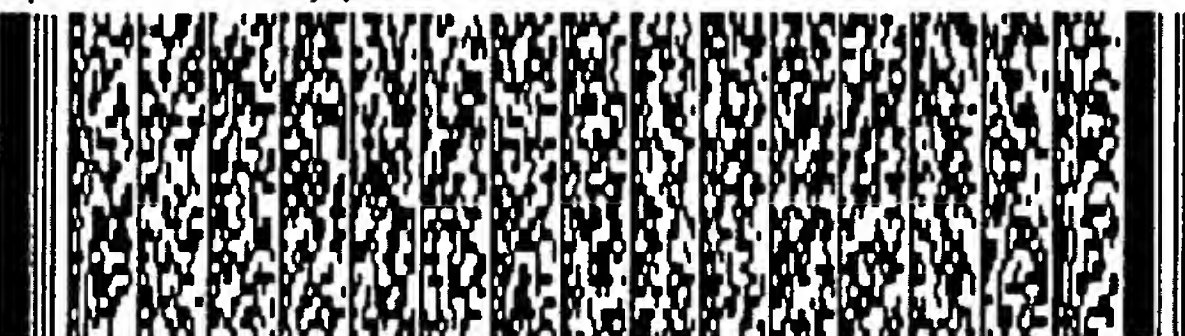
第 10/45 頁



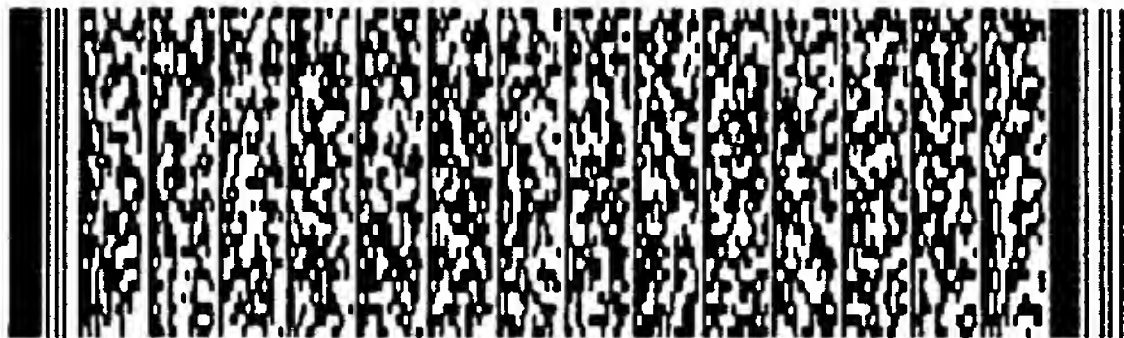
第 10/45 頁



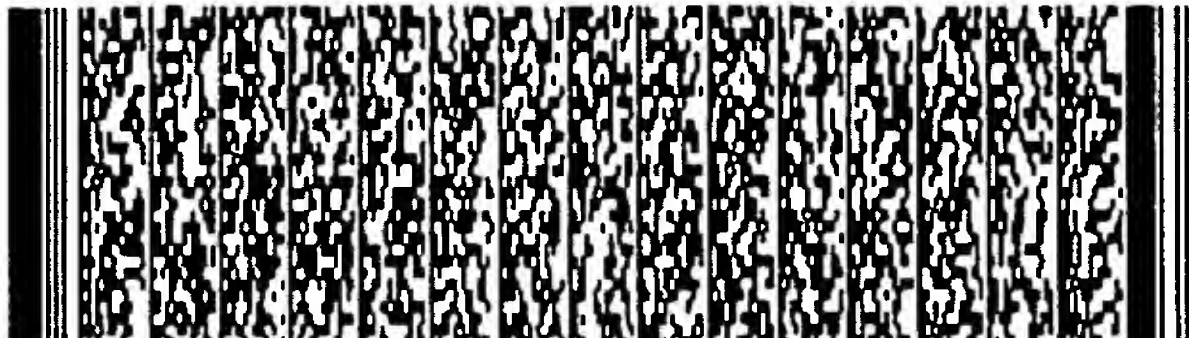
第 11/45 頁



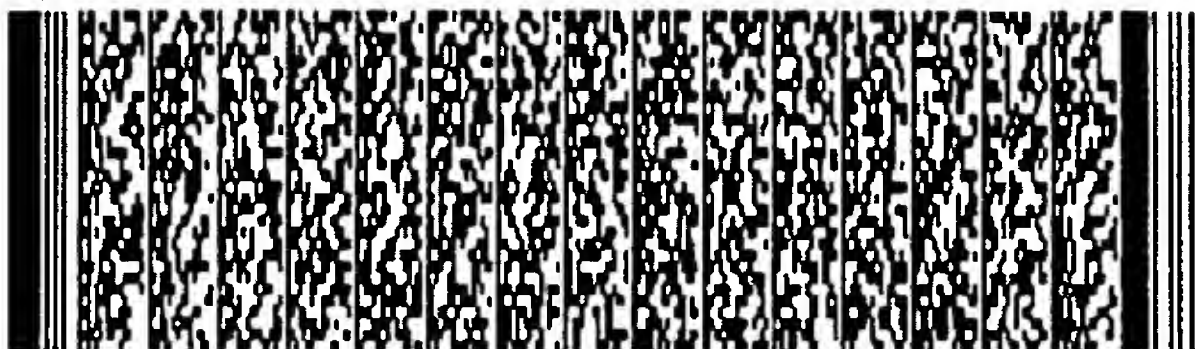
第 19/45 頁



第 20/45 頁



第 20/45 頁



第 21/45 頁



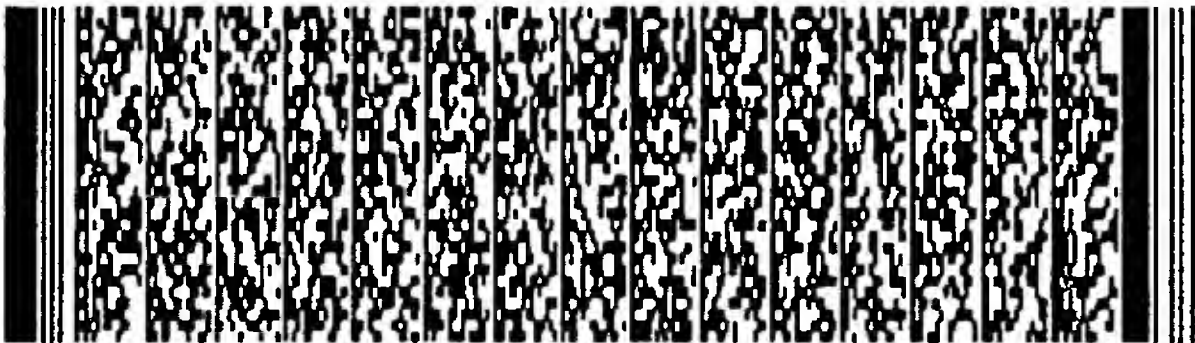
第 21/45 頁



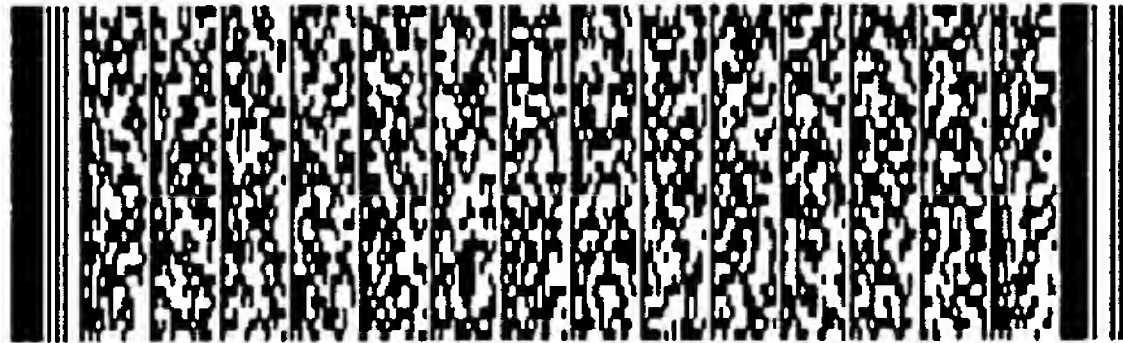
第 22/45 頁



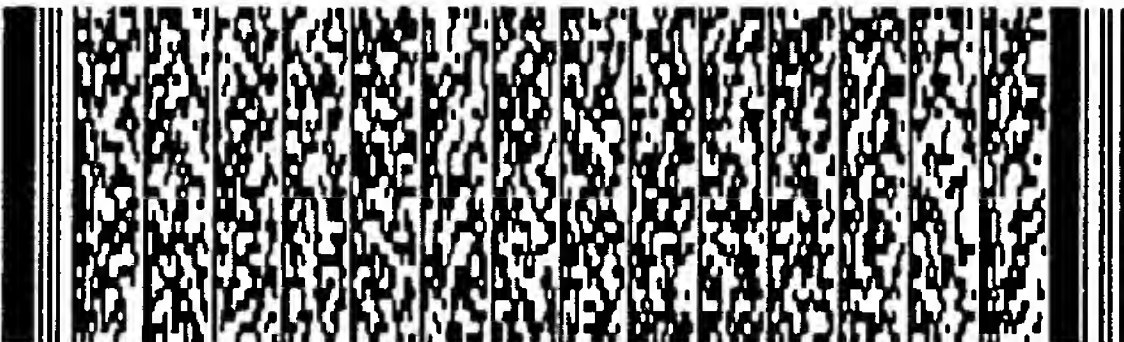
第 22/45 頁



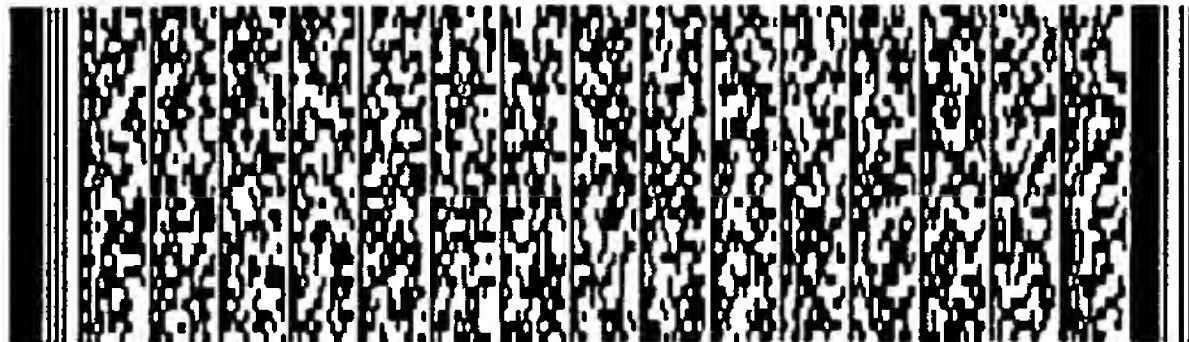
第 23/45 頁



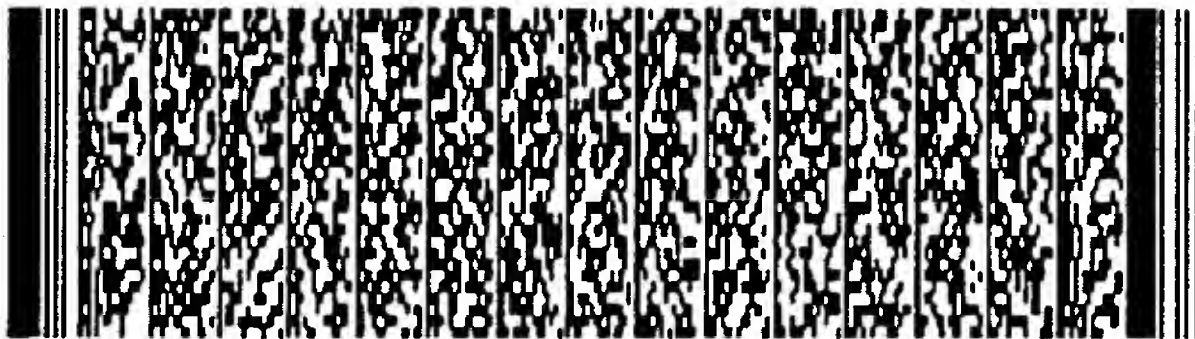
第 23/45 頁



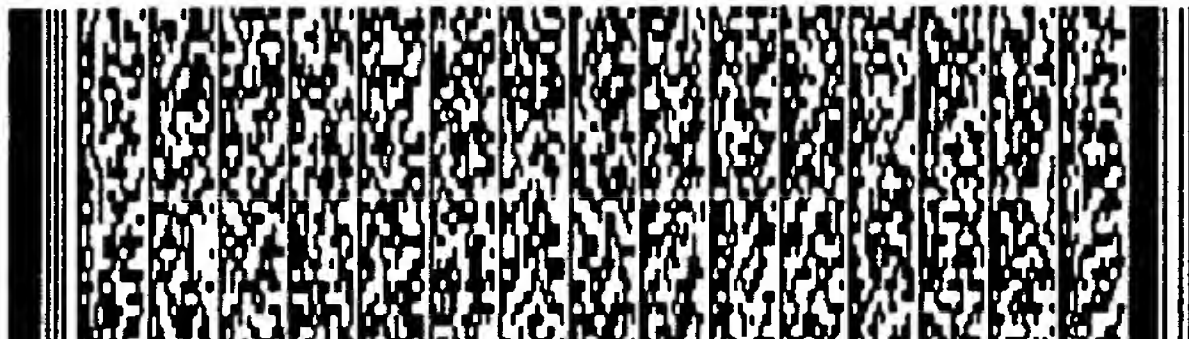
第 24/45 頁



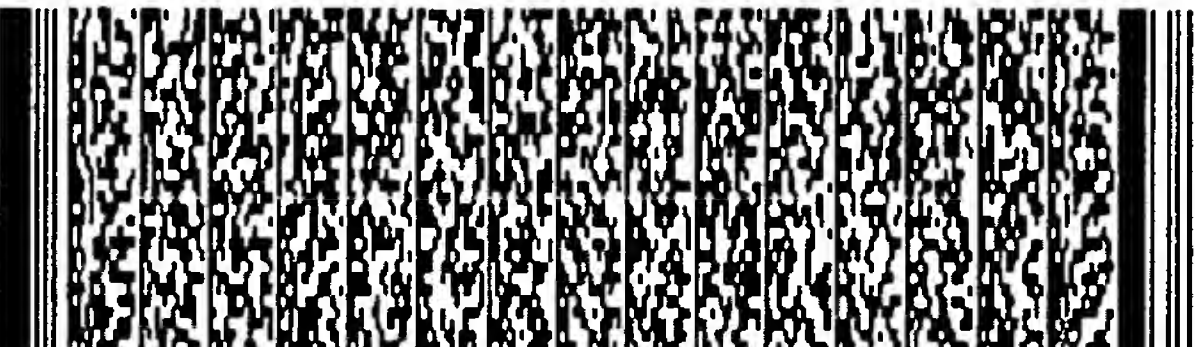
第 24/45 頁



第 25/45 頁



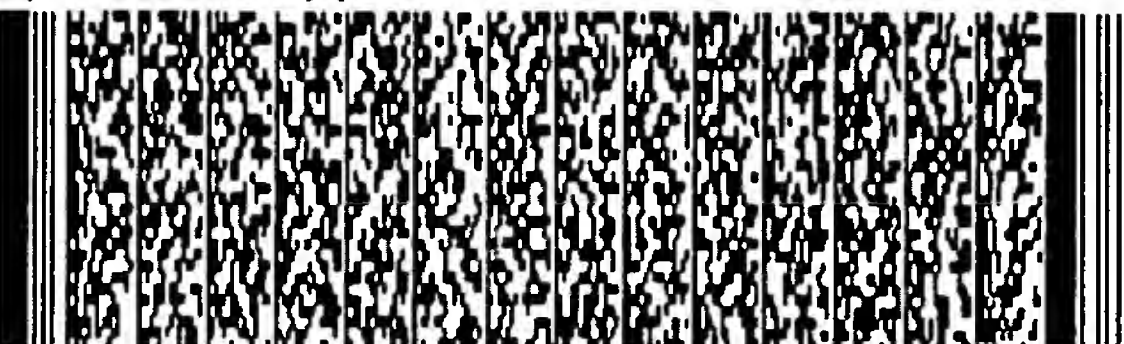
第 25/45 頁



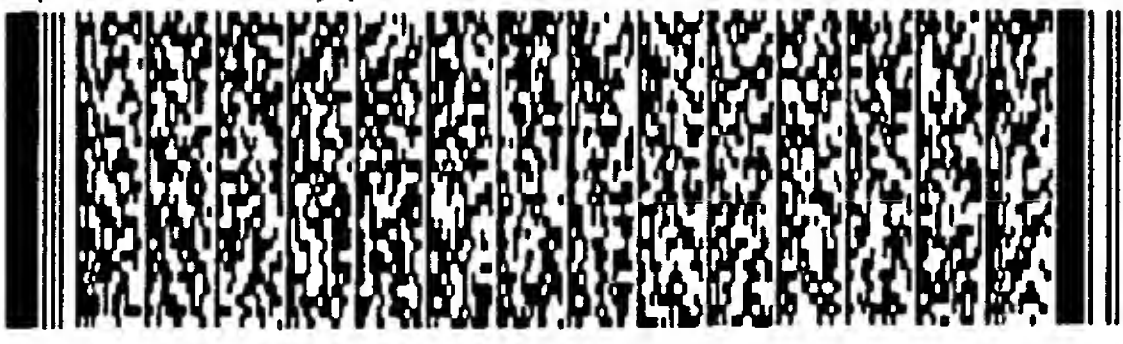
第 26/45 頁



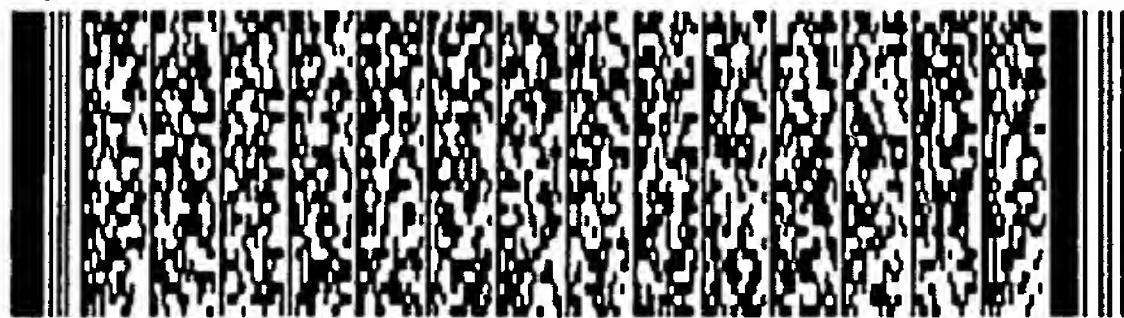
第 26/45 頁



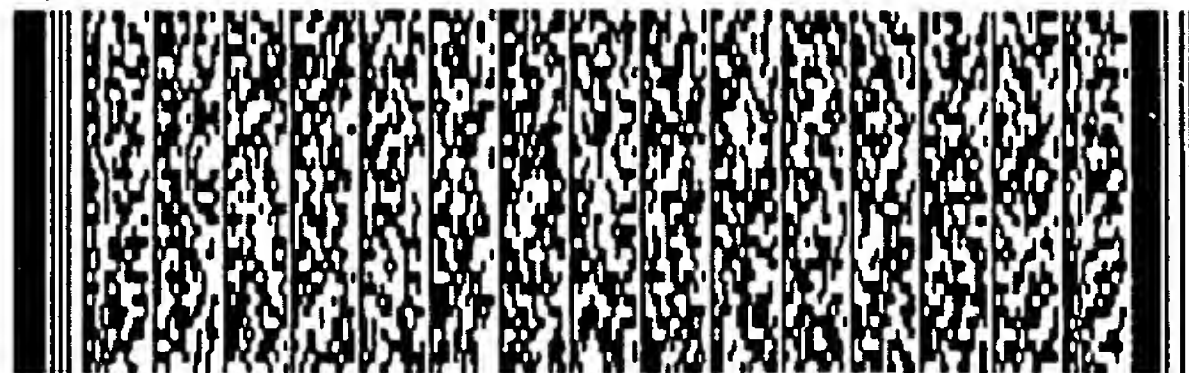
第 27/45 頁



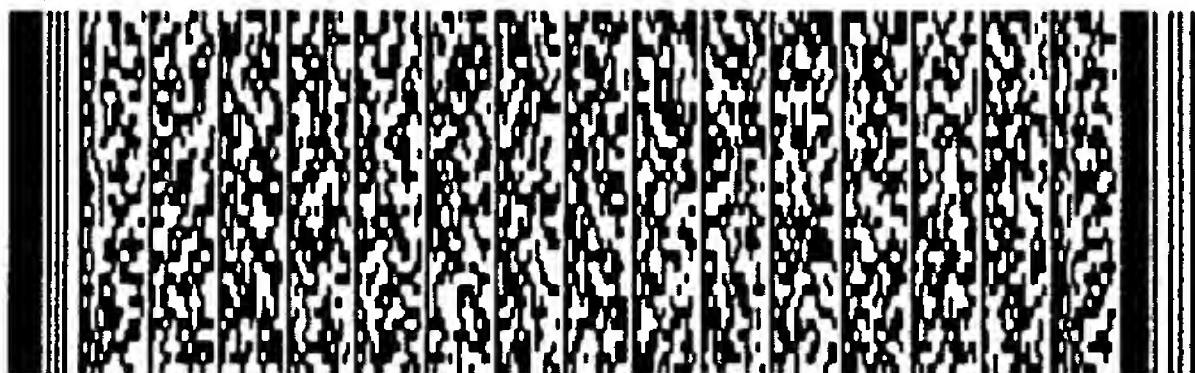
第 27/45 頁



第 28/45 頁



第 28/45 頁



第 29/45 頁



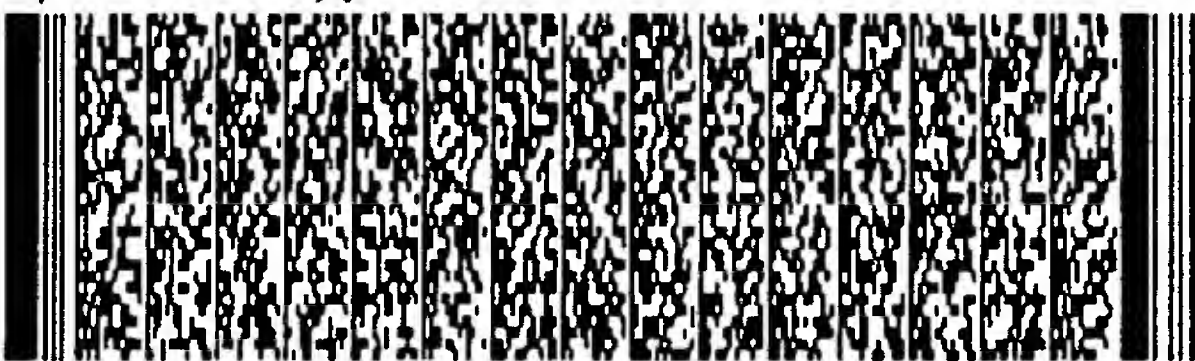
第 29/45 頁



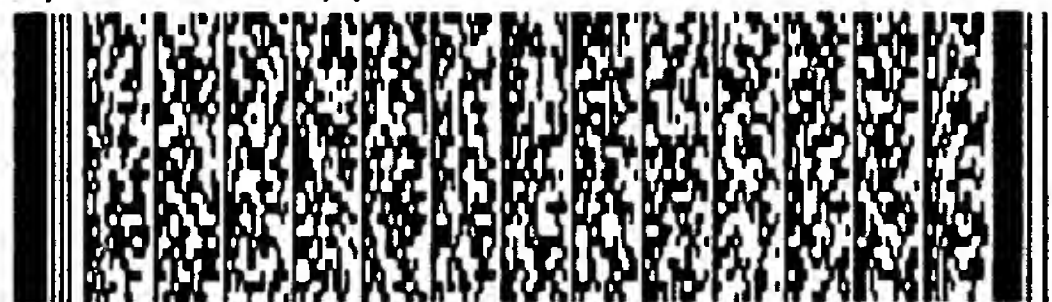
第 30/45 頁



第 30/45 頁



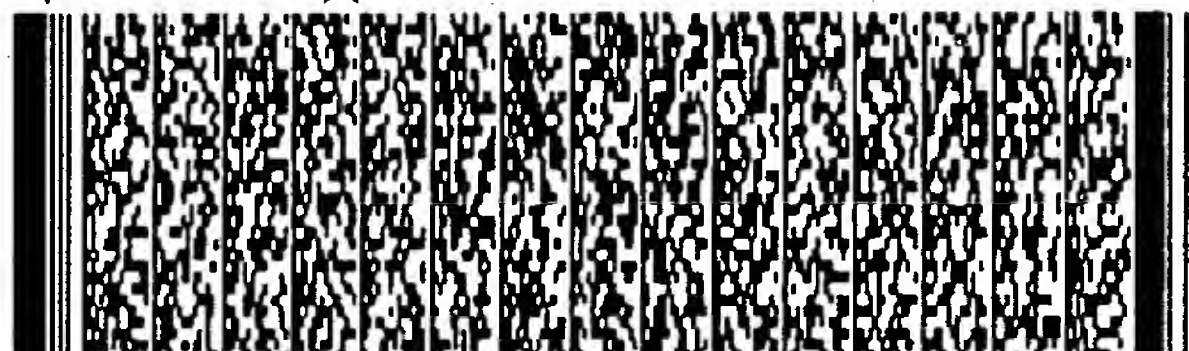
第 31/45 頁



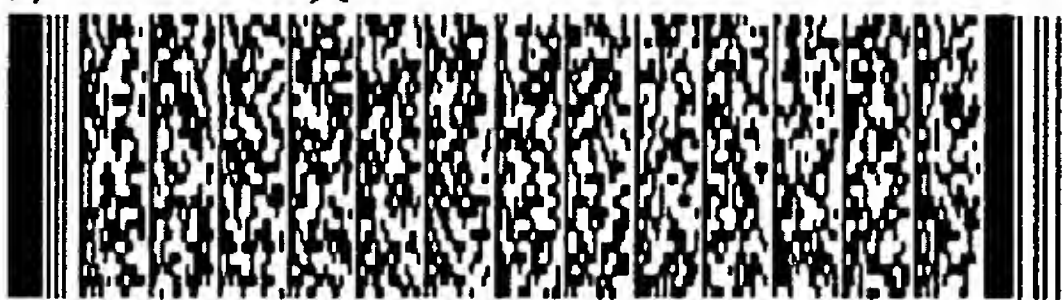
第 32/45 頁



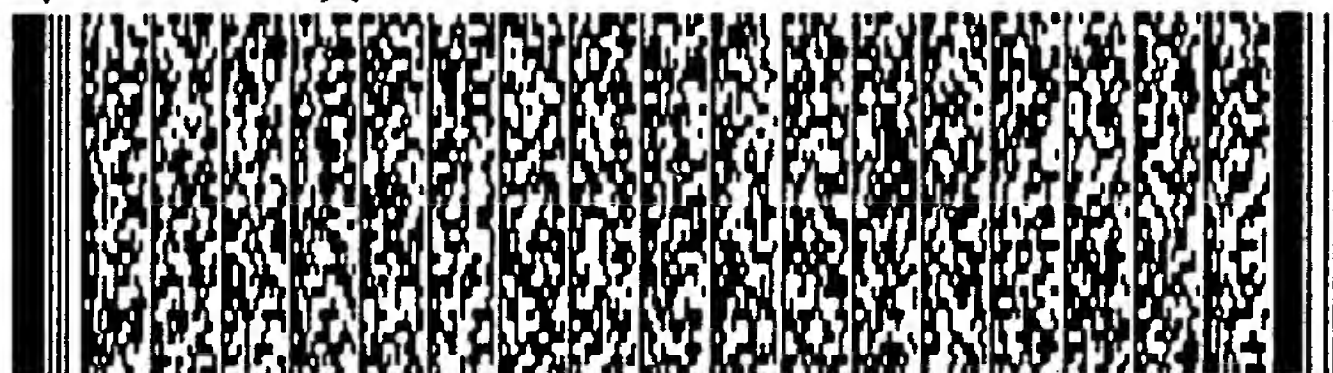
第 33/45 頁



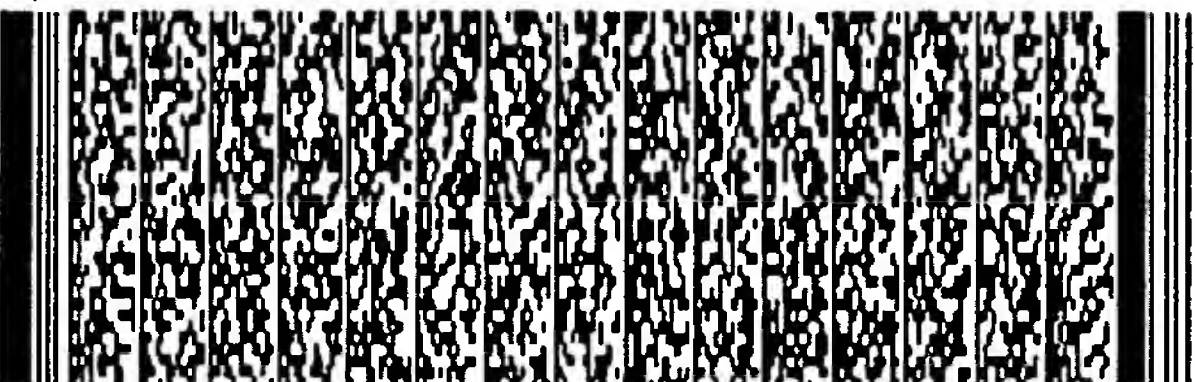
第 34/45 頁



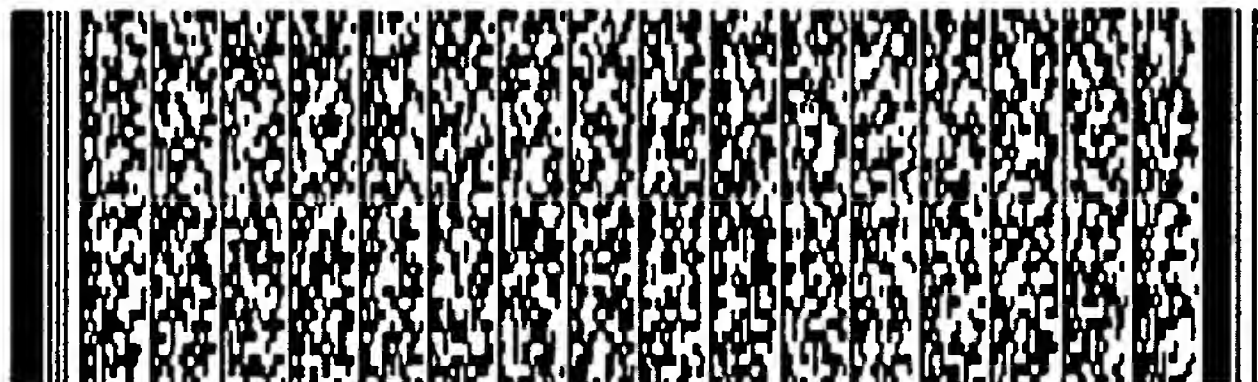
第 35/45 頁



第 36/45 頁



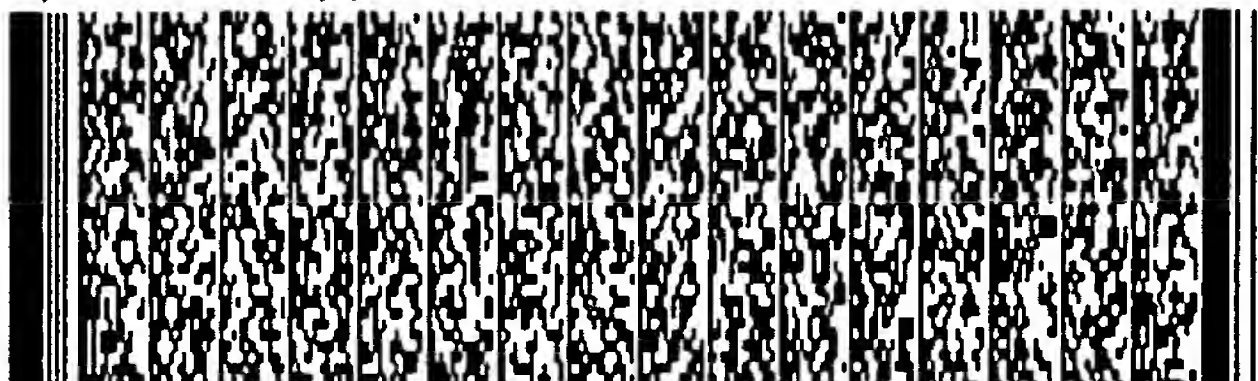
第 37/45 頁



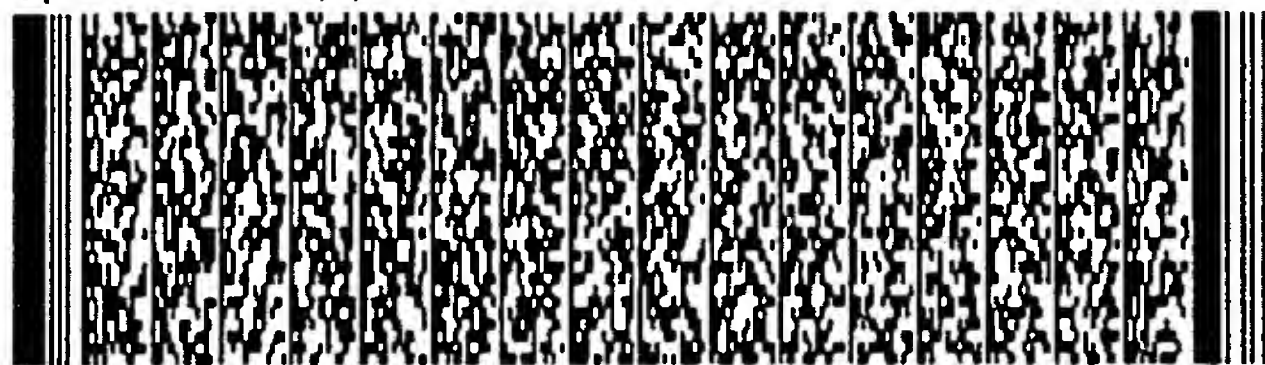
第 38/45 頁



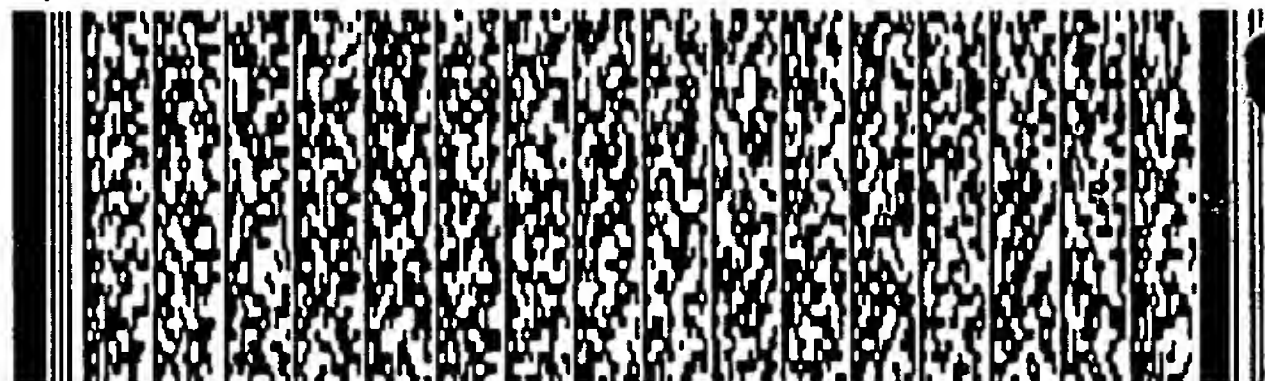
第 39/45 頁



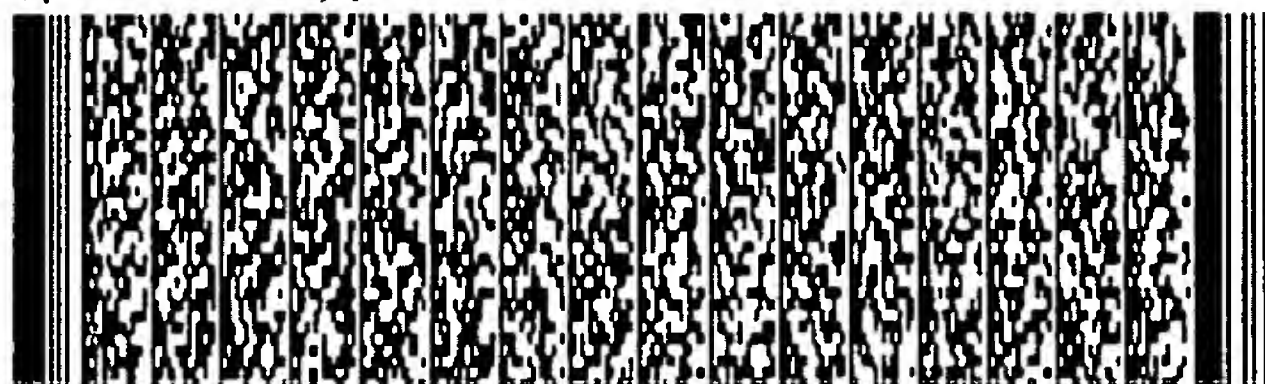
第 40/45 頁



第 41/45 頁



第 42/45 頁



第 43/45 頁



第 43/45 頁



第 44/45 頁



第 45/45 頁

